



PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類6 G02F 1/136, 1/1343, H01L 29/786, B05C 5/00, G02F 1/1333, C01G 19/00</p>	<p>A1</p>	<p>(11) 国際公開番号 WO97/43689</p> <p>(43) 国際公開日 1997年11月20日(20.11.97)</p>											
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; vertical-align: top; border: none;"> <p>(21) 国際出願番号 PCT/JP97/01618</p> <p>(22) 国際出願日 1997年5月14日(14.05.97)</p> <p>(30) 優先権データ</p> <table style="width: 100%; border: none;"> <tr> <td style="width: 30%;">特願平8/120653</td> <td style="width: 30%;">1996年5月15日(15.05.96)</td> <td style="width: 40%; text-align: right;">JP</td> </tr> <tr> <td>特願平8/248071</td> <td>1996年9月19日(19.09.96)</td> <td style="text-align: right;">JP</td> </tr> <tr> <td>特願平8/303387</td> <td>1996年11月14日(14.11.96)</td> <td style="text-align: right;">JP</td> </tr> </table> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-08 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者; および</p> <p>(75) 発明者/出願人 (米国についてのみ)</p> <p>湯田坂一夫(YUDASAKA, Ichio)[JP/JP] 下田達也(SHIMODA, Tatsuya)[JP/JP] 神戸貞男(KANBE, Sadao)[JP/JP] 宮沢和加雄(MIYAZAWA, Wakao)[JP/JP] 〒392 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p> </td> <td style="width: 50%; vertical-align: top; border: none;"> <p>(74) 代理人 弁理士 井上 一, 外(INOUE, Hajime et al.) 〒167 東京都杉並区荻窪五丁目26番13号 荻窪TMビル2階 Tokyo, (JP)</p> <p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p> </td> </tr> </table>			<p>(21) 国際出願番号 PCT/JP97/01618</p> <p>(22) 国際出願日 1997年5月14日(14.05.97)</p> <p>(30) 優先権データ</p> <table style="width: 100%; border: none;"> <tr> <td style="width: 30%;">特願平8/120653</td> <td style="width: 30%;">1996年5月15日(15.05.96)</td> <td style="width: 40%; text-align: right;">JP</td> </tr> <tr> <td>特願平8/248071</td> <td>1996年9月19日(19.09.96)</td> <td style="text-align: right;">JP</td> </tr> <tr> <td>特願平8/303387</td> <td>1996年11月14日(14.11.96)</td> <td style="text-align: right;">JP</td> </tr> </table> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-08 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者; および</p> <p>(75) 発明者/出願人 (米国についてのみ)</p> <p>湯田坂一夫(YUDASAKA, Ichio)[JP/JP] 下田達也(SHIMODA, Tatsuya)[JP/JP] 神戸貞男(KANBE, Sadao)[JP/JP] 宮沢和加雄(MIYAZAWA, Wakao)[JP/JP] 〒392 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p>	特願平8/120653	1996年5月15日(15.05.96)	JP	特願平8/248071	1996年9月19日(19.09.96)	JP	特願平8/303387	1996年11月14日(14.11.96)	JP	<p>(74) 代理人 弁理士 井上 一, 外(INOUE, Hajime et al.) 〒167 東京都杉並区荻窪五丁目26番13号 荻窪TMビル2階 Tokyo, (JP)</p> <p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(21) 国際出願番号 PCT/JP97/01618</p> <p>(22) 国際出願日 1997年5月14日(14.05.97)</p> <p>(30) 優先権データ</p> <table style="width: 100%; border: none;"> <tr> <td style="width: 30%;">特願平8/120653</td> <td style="width: 30%;">1996年5月15日(15.05.96)</td> <td style="width: 40%; text-align: right;">JP</td> </tr> <tr> <td>特願平8/248071</td> <td>1996年9月19日(19.09.96)</td> <td style="text-align: right;">JP</td> </tr> <tr> <td>特願平8/303387</td> <td>1996年11月14日(14.11.96)</td> <td style="text-align: right;">JP</td> </tr> </table> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-08 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者; および</p> <p>(75) 発明者/出願人 (米国についてのみ)</p> <p>湯田坂一夫(YUDASAKA, Ichio)[JP/JP] 下田達也(SHIMODA, Tatsuya)[JP/JP] 神戸貞男(KANBE, Sadao)[JP/JP] 宮沢和加雄(MIYAZAWA, Wakao)[JP/JP] 〒392 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p>	特願平8/120653	1996年5月15日(15.05.96)	JP	特願平8/248071	1996年9月19日(19.09.96)	JP	特願平8/303387	1996年11月14日(14.11.96)	JP	<p>(74) 代理人 弁理士 井上 一, 外(INOUE, Hajime et al.) 〒167 東京都杉並区荻窪五丁目26番13号 荻窪TMビル2階 Tokyo, (JP)</p> <p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>			
特願平8/120653	1996年5月15日(15.05.96)	JP											
特願平8/248071	1996年9月19日(19.09.96)	JP											
特願平8/303387	1996年11月14日(14.11.96)	JP											
<p>(54) Title: THIN FILM DEVICE HAVING COATING FILM, LIQUID CRYSTAL PANEL, ELECTRONIC APPARATUS AND METHOD OF MANUFACTURING THE THIN FILM DEVICE</p> <p>(54) 発明の名称 塗布膜を有する薄膜デバイス、液晶パネル及び電子機器並びに薄膜デバイスの製造方法</p> <p>(57) Abstract</p> <p>Liquid is applied and subjected to a heat treatment to form one thin film among an insulating thin film, a silicon thin film and a conductive thin film constituting a TFT. A substrate is spin-coated with the liquid which contains a thin film component and is supplied from the coating liquid storing part (105) of a spin-coater (102). The substrate to which the coating liquid is applied is subjected to a heat treatment by a heat treatment unit (103) to form a coating film on the substrate. If, further, the coating film is subjected to laser annealing, etc., one of the film qualities, crystallinity, denseness and adhesion is improved. If the coating liquid or resist is applied by an ink-jet method, the utilization efficiency of coating liquid can be improved and, further, a patterned coating film can be formed. A thin film device which is low in cost and has a high throughput can be obtained. By manufacturing TFTs with a manufacturing apparatus having the high utilization efficiency of the coating liquid, the initial investment and the cost of a liquid crystal display are significantly reduced.</p>													
<div style="display: flex; justify-content: space-around; align-items: flex-start;"> <div style="text-align: center;"> <pre> graph TD 101[ローダ] --> 102[スピナー] 102 --> 103[熱処理部] 103 --> 104[アンローダ] 105[塗布液保管部] --> 102 106[制御部] --> 102 106 --> 103 106 --> 104 107[温度制御部] --> 103 108[排気装置] --> 103 </pre> </div> <div style="margin-top: 20px;"> <p>101 ... loader</p> <p>102 ... spin-coater</p> <p>103 ... heat treatment unit</p> <p>104 ... unloader</p> <p>105 ... coating liquid storing part</p> <p>106 ... control unit</p> <p>107 ... temperature control unit</p> <p>108 ... evacuation system</p> </div> </div>													

(57) 要約

T F Tを構成する絶縁膜、シリコン膜及び導電膜のうちのいずれかの薄膜を液体を塗布し熱処理することにより形成する。スピンコータ（102）では、塗布液保管部（105）から供給される、薄膜成分を含む液体を基板上にスピンコートする。塗布液が塗布された基板は、熱処理部（103）にて熱処理され、基板上に塗布膜が形成される。さらにレーザアニールなどを施せば、結晶性、緻密化、あるいは密着性のいずれかの膜質が向上する。この塗布液やレジストをインクジェット方式で塗布することにより、薬液の使用効率を上げ、かつ、パターン化された塗布膜の形成が可能となる。本発明の薄膜ディバイスは、安価でスループットが高く、塗布液の使用効率の高い製造装置でT F Tを製造することにより、初期投資と液晶表示装置のコストを大幅に削減する。

参考情報

P C Tに基づいて公開される国際出願のパンフレット第一頁に記載されたP C T加盟国を同定するために使用されるコード

AL	アルバニア	ES	スペイン	LR	リベリア	SG	シンガポール
AM	アルメニア	FI	フィンランド	LS	レソト	SI	スロヴェニア
AT	オーストリア	FR	フランス	LT	リトアニア	SK	スロヴァキア共和国
AU	オーストラリア	GA	ガボン	LU	ルクセンブルグ	SL	シエラレオネ
AZ	アゼルバイジャン	GB	英国	LV	ラトヴィア	SN	セネガル
BA	ボスニア・エルツェゴビナ	GE	グルジア	MC	モナコ	SZ	スワジランド
BB	バルバドス	GH	ガーナ	MD	モルドヴァ共和国	TD	チャード
BE	ベルギー	GM	ガンビア	MG	マダガスカル	TG	トーゴ
BF	ブルキナ・ファソ	GN	ギニア	MK	マケドニア旧ユーゴス	TJ	タジキスタン
BG	ブルガリア	GR	ギリシャ		ラヴィア共和国	TM	トルクメニスタン
BJ	ベナン	HU	ハンガリー	ML	マリ	TR	トルコ
BR	ブラジル	ID	インドネシア	MN	モンゴル	TT	トリニダード・トバゴ
BY	ベラルーシ	IE	アイルランド	MR	モーリタニア	UA	ウクライナ
CA	カナダ	IL	イスラエル	MW	マラウイ	UG	ウガンダ
CF	中央アフリカ共和国	IS	アイスランド	MX	メキシコ	US	米国
CG	コンゴ	IT	イタリア	NE	ニジェール	UZ	ウズベキスタン
CH	スイス	JP	日本	NL	オランダ	VN	ヴェトナム
CI	コート・ジボアール	KE	ケニア	NO	ノルウェー	YU	ユーゴスラビア
CM	カメルーン	KG	キルギスタン	NZ	ニュージーランド	ZW	ジンバブエ
CN	中国	KP	朝鮮民主主義人民共和国	PL	ポーランド		
CU	キューバ	KR	大韓民国	PT	ポルトガル		
CZ	チェッコ共和国	KZ	カザフスタン	RO	ルーマニア		
DE	ドイツ	LC	セントルシア	RU	ロシア連邦		
DK	デンマーク	LI	リヒテンシュタイン	SD	スーダン		
EE	エストニア	LK	スリランカ	SE	スウェーデン		

明 細 書

塗布膜を有する薄膜デバイス、液晶パネル及び電子機器並びに薄膜デバイスの製造方法

〔技術分野〕

本発明は、薄膜トランジスタ（以下 T F T と略す）などの薄膜積層構造を含む薄膜デバイス及びその製造方法に関し、特に初期の設備投資が少なく、低コストで製造可能な薄膜デバイス及びその製造方法に関する。本発明はさらに、その薄膜デバイスを用いた液晶パネル及び電子機器に関する。

〔背景技術〕

近年、この種の薄膜デバイスを用いた液晶表示装置はノート型パソコン、車載用のナビゲーションシステム、ビデオカメラ、各種の携帯情報機器などに使用され、応用分野と生産数量が急速に拡大している。これは、液晶表示装置の価格低下と、画面サイズの拡大、解像度向上、低消費電力化などの性能の向上に依っている。しかし、さらなる市場の拡大、応用分野の拡大のためには、より一層のコスト低減が求められている。

液晶表示装置の主流は、T F T を画素用スイッチング素子とするアクティブマトリクス型液晶表示装置である。この液晶表示装置は T F T とそれに接続される画素電極がマトリクス状に形成される T F T 基板と、共通電極が形成される対向基板の間に液晶が封入されて構成される。図 1 7 に T F T 基板 6 0 の主要部を示す。図 1 7 において、列方向に配線される複数のソース線またはデータ信号線 S 1、S 2、・・・S n と、行方向に配線される複数のゲート線または走査信号線 G 1、G 2、・・・G m の各交点付近の画素位置に、T F T 6 1 が形成される。この T F T 6 1 のソース電極はソース線に接続され、ドレイン電極は画素電極 6 2 に接続される。ソース線から供給されるデータ信号は、ゲート線から供給される走査タイミング信号に基づいて、T F T 6 1 を介して画素電極 6 2 に印加される。液晶は、画素電極 6 2 と共通電極（図示せず）間の電界によりその状態が変化して、表示駆動される。

液晶表示装置は、T F T 基板 6 0 と対向基板間への液晶封入などのパネル組立、

ソース線やゲート線を駆動する駆動回路の実装などにより構成されるが、そのコストはTFT基板60のコストに大きく依存している。そしてTFT基板60のコストはTFTの製造方法に依存する。駆動回路の一部は、その能動素子をTFTにより構成することで、TFT基板60上に形成されることもあるが、この場合には特に、液晶表示装置のコストの中に占めるTFT基板のコストの割合が高くなる。

ここでTFTは、絶縁層、導電層、ソース、ドレイン及びチャネル領域を有するシリコン半導体層を少なくとも有する複数の薄膜から成る薄膜積層構造を有する。TFTのコストは、この薄膜積層構造の製造コストの大きく依存している。

この薄膜積層構造のうちの絶縁層の形成には、一般にNP-CVD (Normal Pressure Chemical Vapor Deposition) では膜厚の均一性が低いために、LP (Low Pressure) CVDやPE (Plasma Enhanced) CVDが用いられる。金属層で代表される導電層は、スパッタにより形成される。シリコン半導体層を形成するためのシリコン膜も、PECVDやLPCVDにて形成される。さらに、このシリコン膜に対して、イオン打ち込み法やイオンドーピング法により不純物を導入する方法が用いられていた。あるいは、ソース・ドレイン領域となる高濃度不純物領域は、CVD装置により、不純物ドーピングのシリコン膜で形成する方法が採用されていた。

上述の各種成膜に用いられるCVD装置、スパッタ装置などはいずれも真空中にて処理する真空処理装置であり、大規模な真空排気設備を必要として初期投資コストが増大している。さらに、真空処理装置では、真空排気、基板加熱、成膜、ベントの順に基板が搬送されることにより、成膜などの処理がなされる。このため基板雰囲気は大気-真空に置換する必要があり、スループットにも限界がある。また、イオン打ち込み装置やイオンドーピング装置も基本的に真空処理装置であり上記と同じ問題が生ずる。さらにこのイオン打ち込み装置やイオンドーピング装置では、プラズマの生成、イオンの引き出し、イオンの質量分析（イオン打ち込み装置の場合）、イオンの加速、イオンの集束、イオンの走査など極めて複雑な機構が必要であり、初期投資がかなり高価となる。

このように、薄膜積層構造を製造するための薄膜形成技術やその加工技術は、

基本的にはLSIの製造技術と同様である。従って、TFT基板のコスト低減の主要な手段は、TFTを形成する基板サイズの大型化、薄膜形成とその加工工程の効率向上及び歩留まり向上である。

しかし、コスト低減と大型の液晶表示装置の製造とを目的とした基板サイズの大型化は、真空処理装置内での基板の高速搬送の障害になるだけでなく、成膜工程の熱ストレスによって基板が割れ易くなるなどの問題があり、成膜装置のスループット向上は極めて困難である。また、基板サイズの大型化は、同時に成膜装置の大型化を強いることになる。この結果、真空排気される容積の増大に起因した成膜装置の価格アップにより、初期投資のさらなる増大を招くことになり、結局大幅なコスト低減が困難となる。

尚、TFTの歩留まり向上はコスト低減の有力な手段であるが、既に極限に近い歩留まりが達成されており、大幅な歩留まり向上は数字的にも困難な状況になっている。

また、各種層のパターニングのために、フォトリソグラフィ工程が実施されている。このフォトリソグラフィ工程では、レジスト膜の塗布工程、露光工程、現像工程が必要となる。さらにその後エッチング工程、レジスト除去工程が必要であり、パターニングのための工程が薄膜形成方法の工程数を増大する要因ともなっている。これが薄膜デバイスの製造コストアップの原因ともなっている。

このフォトリソグラフィ工程の中のレジスト塗布工程についても、基板上に滴下されたレジスト液のうち、スピン塗布後にレジスト膜として残存するのは1%に満たない量であり、レジスト液の使用効率が悪化しているという問題がある。

また、露光工程に用いられる大型の露光装置にかわる低コストな方法として、印刷法などが提案されているが、加工精度などの問題があり実用には至っていない。

前述のように、現在の液晶表示装置は市場から大幅な価格低減を要求されているながら、TFT基板の大幅なコスト低減が困難な状況にある。

本発明の目的は、液晶表示基板等に用いられる薄膜積層構造の一部または全部の薄膜を、真空処理装置を用いずに成膜して、初期投資コスト及びランニングコストの低減と共にスループットを高めて、もって製造コストを大幅に低減すること

とができる薄膜デバイス及びその製造方法を提供することにある。

本発明の他の目的は、塗布膜により薄膜を形成してコストダウンを図りながら、CVD膜、スパッタ膜の特性に近づけることのできる薄膜デバイス及びその製造方法を提供することにある。

本発明のさらに他の目的は、塗布膜により薄膜を形成する際の塗布液の消費量を低減して、コストダウンを図ることのできる薄膜デバイス及びその製造方法を提供することにある。

本発明のさらに他の目的は、フォトリソグラフィ工程を用いずに形成膜のパターニングを可能とし、もってコストダウンを図ることのできる薄膜デバイス及びその製造方法を提供することにある。

本発明のさらに他の目的は、塗布膜により画素電極を形成することにより、液晶と接する面を平坦化することのできる薄膜デバイス及びそれを用いた液晶パネル並びに電子機器を提供することにある。

本発明のさらに他の目的は、配線層をブラックマトリクスのための遮光層として兼用でき、しかも開口率の高い薄膜デバイス、液晶パネル及びそれを用いた電子機器を提供することにある。

本発明のさらに他の目的は、低コストの薄膜デバイス用いることで、コストダウンを図ることのできる液晶パネル及び電子機器を提供することにある。

[発明の開示]

本発明の一態様によれば、少なくとも1層の絶縁層と少なくとも1層の導電層を含む複数層の薄膜から成る薄膜積層構造を有する薄膜デバイスであって、

前記薄膜積層構造のうちの少なくとも1層の前記薄膜が、該薄膜の構成成分を含む液体が塗布された後に熱処理されて得られる塗布膜（シロキサン結合を基本構造とするSpin On Glass膜を除く）にて形成されていることを特徴とする。

この薄膜デバイスの製造方法は、

基板上に、該薄膜の構成成分を含む塗布液を塗布する工程と、

前記基板上の塗布面に熱処理を施して塗布膜（シロキサン結合を基本構造とするSpin On Glass膜を除く）を形成する工程と、
を有する。

本発明は、薄膜積層構造のうちの少なくとも1層が、真空処理装置によらずに塗布膜として形成される。この種の塗布膜として、平坦化層として用いられる、シロキサン結合を基本構造とするSpin On Glass (SOG) 膜が知られている。しかし、有機SOG膜は酸素プラズマ処理に対してエッチングされ易く、無機SOG膜は数千Åの膜厚でもクラックが発生し易いなどの問題があり、単層で層間絶縁膜などに使用されることは殆どなく、CVD絶縁膜の上層の平坦化層として利用される程度である。

本発明は、このSOG膜以外の塗布膜により、薄膜積層構造を構成する絶縁層や導電層自体を形成するものであり、同時に薄膜の平坦化も可能となる。この塗布膜は、CVD装置やスパッタ装置などの真空処理装置によらずに形成できるので、量産ラインを従来に比較して極めて少ない投資で構築することができ、製造装置のスループットが高くでき、薄膜デバイスのコストを大幅に削減することができる。

前記薄膜積層構造としては、半導体層を含むもの、薄膜トランジスタを含むものの、下地絶縁層や上層の保護用絶縁層を含むものなど、種々の構造が対象となる。

このとき、薄膜積層構造に含まれる全ての絶縁層を塗布膜することが好ましい。ただし、薄膜トランジスタの特性を確保するのに膜質の条件が厳しいゲート絶縁層は、塗布膜以外の方法で形成しても良い。

特に本発明の目的であるデバイスコストを低減するには、薄膜積層構造に含まれる2層以上の薄膜が塗布膜にて形成されていることが望ましい。

絶縁層は、Si-N結合を有するポリマー（ポリシラザン）を含む液体が塗布されかつ酸素雰囲気にて第1の熱処理がなされて得られるSiO₂の塗布膜にて形成することができる。上記の組成で示されるポリシラザンは、クラック耐性が高く、耐酸素プラズマ性があり、単層でもある程度の膜厚の絶縁層として使用できる。

この絶縁層は、第1の熱処理後に該第1の熱処理よりも高温にて第2の熱処理がなされて、前記第1の熱処理後よりもその界面が清浄にされていることが好ましい。この第2の熱処理を、レーザアニールまたはランプアニールにより、高温短時間にて実施することができる。

半導体層は、シリコン粒子を含む液体が塗布されかつ第1の熱処理がなされたシリコン塗布膜中に、不純物が含有されて構成される。

この半導体層も、第1の熱処理後に該第1の熱処理よりも高温にて第2の熱処理がなされて、前記第1の熱処理後よりもその結晶性が向上されていることが好ましい。この第2の熱処理も、レーザアニールまたはランプアニールにより、高温短時間にて実施することができる。

シリコン塗布膜中に不純物を拡散させる方法として、
前記シリコン塗布膜上に、不純物含有層を塗布形成する工程と、
前記不純物含有層を加熱して、前記不純物を前記シリコン塗布膜中に拡散させる工程と、
を含むことが好ましい。

従来、ソース・ドレイン領域となる高濃度不純物領域はCVD装置により不純物ドーパのシリコン膜で形成する方法や、イオン打ち込み法やイオンドーピング法により不純物を導入する方法が用いられていたが、本発明では液体を塗布し焼成することにより不純物を含有する薄膜を形成し、該薄膜をランプアニールやレーザアニールなどの高温短時間の熱処理をして高濃度不純物領域を形成することによりソース・ドレイン領域を形成する。イオン打ち込み装置やイオンドーピング装置は基本的に真空装置であると同時にプラズマの生成、イオンの引き出し、イオンの質量分析（イオン打ち込み装置の場合）、イオンの加速、イオンの集束、イオンの走査など極めて複雑な機構が必要であり、不純物を含有する薄膜を塗布して熱処理をする装置に比較して装置価格の差は歴然としている。

導電層は、2つの形成方法があり、その一つは金属薄膜を形成する方法であり、他の一つは透明導電薄膜を形成する方法である。

導電層として金属薄膜を形成するには、導電性粒子を含む液体が塗布された後に、第1の熱処理により液体成分を蒸発させ、これにより導電性塗布膜を形成できる。

この導電層も、第1の熱処理後に該第1の熱処理よりも高温にて第2の熱処理がなされて、前記第1の熱処理後よりも低抵抗にされていることが好ましい。この第2の熱処理も、レーザアニールまたはランプアニールにより、高温短時間に

て実施することができる。

導電層として透明導電薄膜を形成する方法としては、

前記塗布面を酸素雰囲気もしくは非還元性雰囲気にて熱処理する第1熱処理工程と、

前記塗布面を水素雰囲気もしくは還元性雰囲気にて熱処理する第2熱処理工程と、

を有することが好ましい。

導電層として透明電極を形成する場合には、塗布液として例えばインジウムとスズを含む有機酸が用いられる。この場合、好ましくは塗布後に粘度制御用に用いられた溶剤を蒸発（例えば100℃程度の温度で）させた後に、上述の第1、第2の熱処理が実施される。第1の熱処理でインジウム酸化物およびスズ酸化物が形成され、第2の熱処理は水素雰囲気もしくは還元性雰囲気にて還元処理を行う。

ここで、前記第2熱処理工程での熱処理温度を、前記第1熱処理工程での熱処理温度よりも低く設定することが好ましい。

このようにすると、第1熱処理工程を経た透明導電性塗布膜が、第2熱処理工程にて熱劣化することを防止できる。

前記第2熱処理工程後に、前記基板の温度が200℃以下になるまで、非酸化雰囲気に保持するとよい。こうすると、第2熱処理工程にて還元処理を受けた透明導電性塗布膜が大気中で再酸化することが抑制されるので、透明導電性塗布膜のシート抵抗値が増大しない。再酸化を確実に防止するには、大気への取り出し時の基板温度を100℃以下とすると良い。特に、塗布ITO膜の比抵抗は膜中の酸素欠陥が多いほど低くなるので、大気中の酸素によって透明導電性塗布膜に再酸化が起きると比抵抗が増大するからである。

この透明導電性塗布膜を形成するには、インジウム（In）及びスズ（Sn）を含む塗布液が前記基板上に塗布される。この塗布膜は第1熱処理にて酸化されてITO膜になる。この塗布ITO膜を用いれば、導電層を透明電極としても利用できる。

塗布ITO膜表面に金属メッキがなされると、透明電極以外の導電層として利

用でき、しかも金属メッキによりコンタクト抵抗を下げることができる。

このコンタクト抵抗を下げるためには、塗布ITOのコンタクト面に、スパッタにより形成された導電性スパッタ膜をさらに設けると良い。

薄膜積層構造としては、複数のデータ線と複数の走査線の各交点付近に形成される各画素毎に配置された画素スイッチング素子と、それに接続された画素電極とを含むアクティブマトリクス基板を挙げることができる。

このアクティブマトリクス基板に用いられる代表的な画素スイッチング素子は、薄膜トランジスタである。この画素スイッチング素子としての薄膜トランジスタは、前記データ線に電氣的に接続されるソース領域と、前記走査線に電氣的に接続されるゲート電極と、前記画素電極に電氣的に接続されるドレイン電極と、を含んでいる。

このような、薄膜積層構造では、画素電極を導電性塗布膜にて形成することが好ましい。この画素電極が形成される面は通常段差があるが、導電性塗布膜にて画素電極を形成すると、導電性塗布膜の表面はほぼ平坦になるからである。このため、ラビングが良好に実施され、リバースチルドメインの発生を防止できる。

画素電極に用いられる導電性塗布膜としては、塗布ITO膜が好ましい。塗布ITOは透明電極となり、透過型液晶表示装置のアクティブマトリクス基板を製造するのに適している。

画素スイッチング素子としての薄膜トランジスタは、前記ゲート電極の表面側に形成された層間絶縁膜を有し、前記データ線および前記画素電極が、前記層間絶縁膜に形成されたコンタクトホールを介して、前記ソース領域および前記ドレイン領域にそれぞれ電氣的接続される構造を有することができる。

このとき、層間絶縁膜は、下層側に位置する下層側層間絶縁膜と、該下層側層間絶縁膜の表面に形成された上層側層間絶縁膜とを有することができる。この場合、前記データ線は、前記下層側層間絶縁膜に形成された第1のコンタクトホールを介して前記ソース領域に電氣的に接続される。一方、前記画素電極は、前記下層側層間絶縁膜および前記上層側層間絶縁膜に形成された第2のコンタクトホールを介して、前記ドレイン領域に電氣的接続される。

このように構成すると、データ線と画素電極とは異なる層に形成されるので、

互いに重なり合う位置に形成されてもショートは生じない。このため、画素電極の外周縁を、データ線および走査線の上に位置させることができる。

こうすると、データ線及び走査線と、画素電極との間には、平面的に隙間が存在しなくなる。このため、データ線及び走査線がブラックマトリクスとして遮光機能を発揮することができる。従って、別工程を追加してブラックマトリクスだけのために遮光層を形成する必要がなくなる。

また、画素電極の形成範囲が拡大されるので、画素領域の開口率も増大し、表示が明るくなる利点も生ずる。

導電性塗布膜にて形成された画素電極は、導電性スパッタ膜を介してドレイン電極と電氣的に接続されることが好ましい。

導電性塗布膜はスパッタ膜と比べてコンタクト抵抗が低いので、導電性スパッタを導電性塗布膜とソース領域との間に介在させれば、コンタクト抵抗を下げることができる。

この導電性スパッタ膜もスパッタITO膜であることが好ましい。開口率を下げないためである。

前記導電性塗布膜と前記導電性スパッタ膜とが同一パターンであると、画素電極のパターニング精度を上げることができる。なぜなら、レジストマスクとの密着性の高い導電性塗布膜にのみレジストマスクを形成し、導電性塗布膜と導電性スパッタ膜とを同時にパターニングできるからである。レジストマスクとの密着性の低い導電性スパッタにレジストマスクを形成する必要が無く、それに起因したパターニング精度の低下は生じないからである。

前記導電性塗布膜と前記導電性スパッタ膜とが同一パターンでない場合には、前記導電性塗布膜の外周縁が、前記導電性スパッタ膜の外周縁よりも外側に位置していることが好ましい。

この場合、導電性塗布膜と導電性スパッタ膜のそれぞれにレジストマスクを形成して、別工程にてそれぞれパターニングが実施される。このとき、画素電極の外周縁のパターン精度は、導電性スパッタ膜よりも大きい導電性塗布膜のパターン精度のみに依存する。従って、レジストマスクとの密着性の低い導電性スパッタ膜のパターン精度による悪影響が、画素電極のパターン精度に及ばない。

前記導電性スパッタ膜と前記データ線とを同層に位置させれば、両層は同一金属材料にて同時に形成することができる。

これに代えて、前記導電性スパッタ膜を前記データ線よりも上層に位置させることもできる。この場合には、各膜の形成工程が別工程となるため、同一材料、異種材料の選択が可能となる。

前記層間絶縁膜が、下層側に位置する下層側層間絶縁膜と、該下層側層間絶縁膜の表面に積層された上層側層間絶縁膜とを備え、前記上層側層間絶縁膜の表面上には、前記データ線と導電性スパッタ膜とを同層にて形成することができる。このとき、前記データ線は、前記下層側層間絶縁膜に形成された第1のコンタクトホールを介して前記ソース領域に電氣的に接続される。一方、前記導電性スパッタ膜は、前記上層側層間絶縁膜および前記下層側層間絶縁膜に形成された第2のコンタクトホールを介して前記ドレイン領域に電氣的に接続される。そして、前記導電性スパッタ膜の表面上に前記導電性塗布膜が積層される。

これに代えて、前記下層側層間絶縁膜の表面上に前記データ線と前記導電性スパッタ膜とを同層で形成することができる。この場合、前記データ線は前記下層側層間絶縁膜に形成された第1のコンタクトホールを介して前記ソース領域に電氣的に接続される。前記導電性スパッタ膜は前記下層側層間絶縁膜に形成された第2のコンタクトホールを介して前記ドレイン領域に電氣的に接続される。そして、前記導電性塗布膜は、前記上層側層間絶縁膜の表面上に積層され、前記上層側層間絶縁膜に形成された第3のコンタクトホールを介して前記導電性スパッタ膜に電氣的に接続される。

本発明の他の態様によれば、

上述した薄膜デバイスが形成されたアクティブマトリクス基板と、
前記アクティブマトリクス基板と対向して配置される対向基板と、
前記アクティブマトリクス基板と前記対向基板間に封入された液晶層と、
を設けて、液晶パネルを構成することができる。

本発明のさらに他の態様によれば、その液晶パネルを有する電子機器を構成することができる。

いずれの場合も、薄膜デバイスのコストダウンによって、液晶パネル及びそれ

を用いた電子機器の大幅なコストダウンが図れる。

上述した液体の塗布工程では、前記基板上の塗布領域にのみ前記液体を塗布して、パターンニングされた塗布膜を基板上に形成することが好ましい。こうすると、工程の多いフォトリソグラフィ工程が不要となるからである。また、この塗布方法によると塗布液の消費量も減少するので、ランニングコストを低下させることができる。

本発明の薄膜デバイスの製造方法のさらに他の態様によれば、
複数の吐出口を有する塗布液吐出ノズルを用意し、

基板と前記複数の塗布液吐出ノズルとの位置を相対的に変化させながら、基板上の塗布領域にのみ前記塗布液を吐出して、パターンニングされた塗布膜を基板上に形成することを特徴とする。

この方法は例えばインクジェット方式を利用して実現できる。こうすると、無駄な塗布液を塗布せずに節約できることに加えて、フォトリソグラフィ工程が不要であるので、設備コストの低減とスループットの向上に大きく寄与する。例えばレジスト膜の形成においては、従来の塗布技術では滴下量の１％前後の量しか塗布膜として利用されていなかったが、本発明により滴下量の１０％以上のレジストが塗布膜として利用できる。この塗布効率の高さはレジストだけでなく、本発明による他の塗布膜についても当然有効であり、塗布材料の削減と塗布工程の時間短縮により液晶表示装置のコスト低減を達成できるものである。

複数の前記吐出口は、前記塗布液の吐出状態及び非吐出状態がそれぞれ独立に制御され、各々の前記吐出口での塗布タイミングを制御しながら、前記基板と前記複数の塗布液吐出ノズルとの位置を相対的に変化させることが好ましい。より精密なパターン塗布が可能となるからである。

このような塗布方法は、レジストパターンを形成するためのレジスト塗布の他、上述した塗布膜形成のための各種塗布液の塗布に適用できる。例えば塗布絶縁膜をパターン塗布できれば、塗布と同時にコンタクトホールも形成できる。

このように本発明によれば、一部または全ての薄膜を液体を塗布し熱処理することにより形成できるので、価格が安く且つ高いスループットを有する製造装置で薄膜デバイスを製造できる。

[図面の簡単な説明]

図 1 は、本発明の第 1 実施例に用いる塗布膜形成装置の構成図である。

図 2 は、本発明の第 1 実施例に用いる他の塗布膜形成装置の構成図である。

図 3 は、コブレナ型 T F T の断面図である。

図 4 は、逆スタガ型 T F T の断面図である。

図 5 は、本発明の第 1 実施例に用いるインライン型の塗布膜形成装置の構成図である。

図 6 は、本発明の第 1 実施例に用いる他のインライン型の塗布膜形成装置の構成図である。

図 7 は、本発明の第 1 実施例に用いる塗布シリコン膜形成装置の構成図である。

図 8 は、本発明の第 1 実施例に用いる他の塗布シリコン膜形成装置の構成図である。

図 9 は、塗布 I T O 膜表面への金属メッキ方法を説明するフローチャートである。

図 10 は、本発明による不純物含有絶縁層を用いたコブレナ型 T F T の製造過程の断面図である。

図 11 は、本発明による不純物含有絶縁層を用いた逆スタガ型 T F T の製造過程の断面図である。

図 12 は、本発明の第 1 実施例に用いる液体塗布装置の構成図である。

図 13 は、図 12 の液体塗布装置でのスピンコート後の状態を示す概略説明図である。

図 14 は、本発明による他の液体塗布装置の構成図である。

図 15 は、図 14 に示す液体塗布装置の部分拡大図である。

図 16 は、図 14 に示す液体塗布装置の部分拡大図である。

図 17 は、液晶表示装置を構成する T F T 基板を示す図である。

図 18 は、本発明の第 2 実施例に係る液晶表示装置用アクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図である。

図 19 は、図 18 の I - I ' 線に相当する位置で切断した断面図である。

図 20 (A) ~ 図 20 (D) は、図 19 に示すアクティブマトリクス基板の製

造方法を示す断面図である。

図21は、図20に示す工程以降に行う各工程を示す断面図である。

図22は、本発明の第3実施例に係る液晶表示装置用アクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図である。

図23は、図22のII-II'線に相当する位置での断面図である。

図24は、図22に示すアクティブマトリクス基板を製造するにあたって、図20に示す工程以降に行う各工程を示す断面図である。

図25(A)、(B)は、比較例及び本発明の実施例のコンタクトホール付近をそれぞれ拡大して示す縦断面図である。

図26は、図22のII-II'線に相当する位置で切断した本発明の第4実施例の構造を示す縦断面図である。

図27(A)～図27(E)は、図26に示すアクティブマトリクス基板の製造方法を示す断面図である。

図28(A)～図28(E)は、図27の工程に引き続き実施される工程を示す断面図である。

図29は、本発明の第5実施例に係る液晶表示用アクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図である。

図30は、図29のIII-III'線に相当する位置での断面図である。

図31(A)～図31(F)は、図29に示すアクティブマトリクス基板を製造するにあたって、図27に示す工程以降に行う各工程を示す断面図である。

図32は、本発明の第6実施例に係る液晶表示用アクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図である。

図33は、図32のIV-IV'線に相当する位置での断面図である。

図34(A)～図34(D)は、図32に示すアクティブマトリクス基板を製造するにあたって、図27に示す工程以降に行う各工程を示す断面図である。

図35は、本発明の第7実施例に係る液晶表示用アクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図である。

図36は、図35のV-V'線に相当する位置での断面図である。

図37(A)～図37(C)は、図35に示すアクティブマトリクス基板を製

造するにあたって、図 27 に示す工程以降に行う各工程を示す断面図である。

図 38 (A) (B) は、その他の実施の形態に係る液晶表示用アクティブマトリクス基板の説明図である。

図 39 (A)、(B) は、比較例及び本願発明の実施例のコンタクトホール付近をそれぞれ拡大して示す縦断面図である。

図 40 は、本発明の第 8 実施例に係る電子機器に含まれる液晶表示装置を示すブロック図である。

図 41 は、図 40 の液晶表示装置を用いた電子機器の一例であるプロジェクタの概略断面図である。

図 42 は、電子機器の他の一例であるパーソナルコンピュータの概略説明図である。

図 43 は、電子機器のさらに他の一例であるページャの組立分解斜視図である。

図 44 は、TCP を有する液晶表示装置を示す概略説明図である。

[発明を実施するための最良の形態]

以下本発明を図面に基づいて詳しく説明する。

第 1 実施例

(薄膜デバイス構造の説明)

TFT を含む薄膜デバイスの 2 つの基本的構造例を、図 3 及び図 4 にそれぞれ示す。

図 3 はコブレナ型の多結晶シリコンを用いた TFT の断面図である。ガラス基板 10 上に下地絶縁膜 12 が形成され、その上に多結晶シリコン TFT が形成されている。図 3 において、多結晶シリコン層 14 は不純物が高濃度にドーピングされたソース領域 14S 及びドレイン領域 14D と、それらの間のチャネル領域 14C で構成される。

この多結晶シリコン層 14 の上にゲート絶縁膜 16、さらにその上にゲート電極 18 及びゲート線 (図示せず) が形成される。層間絶縁膜 20 及びその下のゲート絶縁膜 16 に形成された開口部を介して、透明導電膜からなる画素電極 22 がドレイン領域 14D に接続され、ソース線 24 がソース領域 14S に接続される。最上層の保護膜 26 は省略されることもある。尚、下地絶縁膜 12 はガラス基板

10からの汚染を防ぎ、多結晶シリコン膜14が形成される表面状態を整えることを目的としているが、省略されることもある。

図4は、逆スタガ型の非晶質シリコンTFTの断面図である。ガラス基板30上に下地絶縁膜32が形成され、その上に非晶質シリコンTFTが形成される。尚、下地絶縁膜32は省略されることが多い。図4において、ゲート電極34及びそれに接続されたゲート線の下に、1層または多層のゲート絶縁膜36が形成される。ゲート電極34の上には、非晶質シリコンのチャネル領域38Cが形成され、さらに、非晶質シリコン中に不純物が拡散されることでソース・ドレイン領域38S、38Dが形成されている。また、画素電極40は、金属配線層42を介して、ドレイン領域38Dと電氣的に接続され、ソース線44はソース領域38Sと電氣的に接続される。なお、金属配線層42とソース線44とは同時に形成される。

尚、チャネル領域38C上に形成されたチャネル保護膜46は、ソース・ドレイン領域膜38S及び38Dをエッチングする際にチャネル領域38Cを保護する膜であり、省略されることもある。

図3及び図4は、基本的なTFTは構造を示すものであり、これらのバリエーションは非常に多岐にわたっている。例えば、図3のコブレナ型のTFTにおいては、開口率を上げるために画素電極22とソース線24の間に第2の層間絶縁膜を設けて、画素電極22とソース線24の間隔を狭める構造とすることができる。あるいは、ゲート電極18に接続される図示しないゲート線やソース線24の配線抵抗の低減や配線の冗長化を目的として、該ゲート線、ソース線を多層膜とすることができる。さらには、TFT素子の上または下に、遮光層を形成することもできる。図4の逆スタガ型のTFTにおいても、開口率向上、配線抵抗の低減、欠陥低減を目的とした配線や絶縁膜の多層化などを行うことができる。

これらの改良構造はいずれも、図3または図4の基本構造に対して、TFTを構成する薄膜の積層数が増える場合がほとんどである。

下記の実施例では、図3、図4で示した薄膜積層構造を構成する各種薄膜を、真空処理装置の不要な塗布膜にて形成する場合について説明する。

(塗布絶縁膜の形成方法)

図1は、液体を塗布し熱処理することにより薄膜例えば絶縁膜を形成する塗布型絶縁膜形成装置を示す。塗布された後に熱処理されることで絶縁膜となる液体として、ポリシラザン（Si-N結合を有する高分子の総称である）を挙げることができる。ポリシラザンのひとは、 $[\text{SiH}_2\text{NH}]_n$ （ n は正の整数）であり、ポリベルヒドロシラザンと言われる。この製品は、東燃（株）より「東燃ポリシラザン」の製品名で市販されている。なお、 $[\text{SiH}_2\text{NH}]_n$ 中のHがアルキル基（例えばメチル基、エチル基など）で置換されると、有機ポリシラザンとなり、無機ポリシラザンとは区別されることがある。本実施例では無機ポリシラザンを使用することが好ましい。

このポリシラザンをキシレンなどの液体に混合して、基板上に例えばスピン塗布する。この塗布膜は、水蒸気または酸素を含む雰囲気中で熱処理することにより、 SiO_2 に転化する。

比較例として、塗布された後に熱処理することで絶縁膜となるSOG（Spin-on-Glass）膜を挙げることができる。このSOG膜は、シロキサン結合を基本構造とするポリマーで、アルキル基を有する有機SOGとアルキル基を持たない無機SOGがあり、アルコールなどが溶媒として使用される。SOG膜は平坦化を目的としてLSIの層間絶縁膜に使用されている。有機SOG膜は酸素プラズマ処理に対してエッチングされ易く、無機SOG膜は数千Åの膜厚でもクラックが発生し易いなどの問題があり、単層で層間絶縁膜などに使用されることは殆どなく、CVD絶縁膜の上層の平坦化層として利用される。

この点、ポリシラザンはクラック耐性が高く、また耐酸素プラズマ性があり、単層でもある程度厚い絶縁膜として使用可能である。従って、ここではポリシラザンを使用する場合について説明する。

なお本発明は、薄膜積層構造の少なくとも1層好ましくは複数層を、シロキサン結合を基本構造とするSOG膜以外の塗布膜にて形成するものであり、この条件を満足する限りにおいて、SOG膜を付加的に使用するものであっても良い。

図1において、ローダ101は、カセットに収納されている複数枚のガラス基板を一枚ずつ取り出し、スピンコータ102にガラス基板を搬送する。スピンコータ102では、図12に示すように、ステージ130上に基板132が真空吸

着され、ディスペンサ 134 のノズル 136 からポリシラザン 138 が基板 132 上に滴下される。滴下されたポリシラザン 138 は基板中央部に図 12 のように広がる。ポリシラザンとキシレンの混合液ははキャニスター缶と呼ばれる容器に入れられおり、図 1, 図 12 に示す液体保管部 105 に保管される。ポリシラザンとキシレンの混合液は、液体保管部 105 から供給管 140 を介してディスペンサ 134 に供給され、基板上に塗布される。さらに、ステージ 130 の回転により、図 13 に示すように、ポリシラザン 138 がガラス基板 132 の全面に引き延ばされて塗布される。このとき、大部分のキシレンは蒸発する。ステージ 130 の回転数や回転時間は、図 1 に示す制御部 106 で制御され、数秒間で 1000 rpm まで回転数が上昇し、1000 rpm で 20 秒程度保持され、さらに数秒後に停止する。この塗布条件にて、ポリシラザンの塗布膜の膜厚は約 7000 Å となる。次に、ガラス基板は熱処理部 103 に搬送され、水蒸気雰囲気中で温度 100 - 350°C、10 - 60 分間熱処理され、SiO₂ に変成される。この熱処理は、温度制御部 107 で制御される。熱処理部 103 は、塗布型絶縁膜形成装置の処理能力を高くするため、前記スピンコータ 102 のタクトタイムと熱処理時間が整合するように、熱処理部 103 の長さや該炉内の基板収容枚数が設定される。ポリシラザンが混合される液体には例えばキシレンが用いられ、また変成時に水素やアンモニアなどが発生するため、少なくともスピンコータ 102 と熱処理部 103 には排気設備 108 が必要である。熱処理され絶縁膜が形成されたガラス基板はアンローダ 104 でカセットに収納される。

図 1 に示す本発明の塗布型絶縁膜形成装置は、従来の CVD 装置に比較して、装置構成が著しく簡単であり、従って装置価格が格段に安くなる。しかも CVD 装置に比較してスループットが高く、メンテナンスが簡単であり装置の稼働率が高いなどの特徴がある。この特徴により液晶表示装置のコストを大幅に低減することができる。

図 1 に示す塗布型絶縁膜形成装置では、図 3 に示す下地絶縁膜 12、ゲート絶縁膜 16、層間絶縁膜 20、保護膜 26 の全ての絶縁膜を成膜することができる。また、画素電極 22 とソース配線 24 の間に絶縁膜を追加形成する場合に、その追加の絶縁膜を図 1 の装置を利用して塗布膜にて形成することで、絶縁膜表面を

平坦化する効果もあり、特に有効である。尚、下地絶縁膜 12 や保護膜 26 は省略されることもある。

ここで、ゲート絶縁膜 16 は T F T の電気的特性を左右する重要な絶縁膜であり、膜厚、膜質と同時にシリコン膜との界面特性も制御されなければならない。

このためには、ゲート絶縁膜 16 の塗布形成前のシリコン膜 14 の表面状態を清浄にすることの他に、図 2 に示す塗布型絶縁膜形成装置を使用することが好ましい。図 2 に示す装置は、図 1 に示す装置の熱処理部 103 と同じ機能の第 1 の熱処理部 103 A と、アンローダ 104 との間に、第 2 の熱処理部 103 B を設けている。この第 2 の熱処理部 103 B では、第 1 の熱処理部 103 A での上述した熱処理の後に、第 1 の熱処理部 103 A での熱処理温度より高い 400 - 500 °C にて 30 - 60 分の熱処理を行うか、あるいはランプアニール、レーザアニールなどの高温短時間の熱処理を行うのが望ましい。

これにより、ゲート絶縁膜 16 などの絶縁膜は、図 1 の熱処理部 103 での熱処理のみの場合と比較して、より緻密化され、膜質及び界面特性が改善される。

なお、界面特性に関して言えば、塗布絶縁膜に比べて真空雰囲気中で形成される CVD 膜の方が制御し易いため、高性能な T F T が要求される場合には、T F T を構成する絶縁膜のうちゲート絶縁膜は CVD 膜で形成し、その他の絶縁膜を本発明による塗布絶縁膜で形成してもよい。

図 4 の T F T 構造においては、下地絶縁膜 32、ゲート絶縁膜 36、チャネル保護膜 46 に本発明の塗布絶縁膜を使用できる。

(塗布シリコン膜の形成方法)

図 1 または図 2 に示す塗布液保管部 105 内に保管される塗布液として、シリコン粒子を含む液体を用意することで、図 1 または図 2 の装置と同じ装置を利用して、塗布シリコン膜を形成することができる。

塗布液に含有されるシリコン粒子の粒径は、例えば 0.01 ~ 10 μm のものを使用することができる。このシリコン粒子の粒径は、塗布されるシリコン膜の膜厚に応じて選択される。本発明者等が入手したシリコン粒子の粒径は、1 μm 程度のものが 10%、10 μm 以下のものが 95% を占めた。この粒径のシリコン粒子を、微粒子化装置によりさらに微粒子化することで、所望の粒径のシリコ

ン粒子を得ることができる。

所定範囲の粒径を持つシリコン粒子は例えばアルコール等の液体に混ぜられた懸濁液とされ、塗布液保管部105に保管される。そして、ローダ105よりスピンコータ106に搬入された基板上に、シリコン粒子とアルコールとの懸濁液を吐出する。そして、塗布絶縁膜の形成と同様な塗布条件にてステージ130を回転させて、シリコン粒子の塗布膜を基板上にて引き延ばし、このとき大部分のアルコールが蒸発される。

次に、熱処理部103または第1の熱処理部103Aにて、塗布絶縁膜形成の場合と同様な熱処理条件にて基板を熱処理する。このとき、シリコン同士の反応により結晶化されたシリコン膜が基板に形成される。

図2の装置を用いた場合には、さらに第2の熱処理部103Bにて、その基板を第1の熱処理部103Aでの熱処理温度より高い温度で熱処理する。この熱処理は、レーザアニールまたはランプアニールにより短時間で行うことが好ましい。

この第2の熱処理部103Bにて再度熱処理することで、第1の熱処理部103Aのみで熱処理されたものと比較して、シリコン膜の結晶性、緻密性及び他の膜との密着性が向上する。

図5、図6は、塗布シリコン膜及び塗布絶縁膜を連続して形成する成膜装置の構成図である。

図5の成膜装置は、ローダ101、第1のスピンコータ102A、第1の熱処理部103A、第2の熱処理部103B、第2のスピンコータ102B、熱処理部103及びアンローダ104をインライン接続している。第1のスピンコータ102Aには、シリコン粒子とアルコールとの懸濁液を保管する第1の塗布液保管部105Aと第1の制御部106Aとが接続される。第2のスピンコータ部102Bには、ポリシラザンとキシレンとの混合液を保管する第2の塗布液保管部105Bと第2の制御部106Bとが接続される。

図5の装置を使用すれば、ロード、アンロードの回数が1回ずつ減るので、スループットがさらに高まる。

図6の成膜装置は、図5の成膜装置の第2の熱処理部103Bを、塗布絶縁膜の熱処理部103の後に配置した変形例を示している。この場合は、絶縁膜のキ

ヤップ層がついたシリコン膜を、レーザアニール等を実施する第2の熱処理部103Bによって結晶化することになる。絶縁膜はシリコン表面の反射率を下げる効果があるので、レーザエネルギーが効率よくシリコン膜に吸収されるという利点がある。また、レーザアニール後のシリコン膜の表面が平滑であることなどの特徴がある。なお、図6中の熱処理部103と第2の熱処理部103Bとを、一つの熱処理部で兼用しても良い。この場合には、この兼用された一つの熱処理部において、塗布絶縁膜の焼成と、その上のシリコン膜の結晶化の熱処理とを、同時に行うことができる。

(塗布シリコン膜の他の形成方法)

塗布液を塗布し、その後熱処理することによりシリコン膜を形成する他の塗布型シリコン膜形成装置を図7に示す。CVD法でシリコン膜を形成するときにはモノシラン(SiH_4)やジシラン(Si_2H_6)が用いられるが、本発明ではジシランやトリシラン(Si_3H_8)などの高次のシランを用いる。シラン類の沸点は、モノシランが -111.9°C 、ジシランが -14.5°C 、トリシランが 52.9°C 、テトラシラン(Si_4H_{10})が 108.1°C である。モノシランとジシランは常温、常圧で気体であるが、トリシラン以上の高次のシランは液体である。ジシランはマイナス数十 $^\circ\text{C}$ にすれば液体となり塗布膜として利用することができる。ここでは主にトリシランを使用する場合について説明する。

図7において、ローダ201でカセットからガラス基板が1枚ずつ取り出されてロードロック室202に搬送され、ロードロック室202は排気装置711により減圧される。所定の圧力に達した後、ガラス基板は前記圧力と同程度の減圧状態となっているスピncコート203に移動し、トリシランがトリシラン保管部207からディスペンサを介してガラス基板上に塗布される。スピncコート部203では回転数数100乃至2000rpmで数秒から20秒基板が回転しトリシランがスピncコートされる。トリシランがスピncコートされたガラス基板は前記圧力と同程度となっている第1の熱処理部204に直ちに搬送され、 $300-450^\circ\text{C}$ で数10分熱処理され膜厚が数100Åのシリコン膜が形成される。次に、ガラス基板は前記圧力と同程度となっている第2の熱処理部205に搬送され、レーザアニールやランプアニールなどの高温短時間の熱処理を受ける。これ

により、シリコン膜が結晶化される。次に、ガラス基板はロードロック室206に搬送され、窒素ガスにより大気圧に戻された後、アンローダ207に搬送されカセットに収納される。

ここで排気装置211は、2つのロードロック室202、206に接続される1台と、スピンコート部203、第1、第2の熱処理部204、205に接続される1台の計2台で構成するのが望ましい。そしてスピンコータ203、第1の熱処理部204及び第2の熱処理部205は、排気装置211により常に排気され、不活性雰囲気中の減圧状態（1.0-0.5気圧程度）が保持される。シラン類は毒性がありガス化したシラン類が装置外に漏れないようにするためである。モノシランの許容濃度（TLV）は5ppmであり、ジシランなど高次のシランも同程度の許容濃度であると考えられている。また、シラン類は常温空气中で自然燃焼し、濃度が高いと爆発的に燃焼する。従って、少なくともスピンコータ203、第1、第2の熱処理部204、205に接続される排気装置211の排気は、シラン類を無害化する排ガス処理装置212に接続する。尚、図7の各処理室201～207は互いにゲートバルブで接続され、ガス化したシラン類が2つのロードロック室に流れ込まないように、ガラス基板の搬送時に該ゲートバルブが開閉される。

スピンコータ203の主要部は図12とほぼ同じであるが、図7においてガラス基板が真空チャックされるステージの温度は、温度制御部210で制御されることが好ましい。ここで、トリシランのときは常温望ましくは0℃程度、ジシランを使用するときは-40℃以下望ましくは-60℃以下に制御される。また、ジシランやトリシランの保管部208や供給ライン（図示せず）も温度制御部210により、ステージ温度とほぼ同程度の温度に制御されることが好ましい。

ジシランやトリシランを液体として塗布するためには、これらの沸点より低い温度で塗布作業が行われなければならないが、トリシランの蒸気圧は常温常圧で約0.4気圧、ジシランの蒸気圧は常圧、-40℃で約0.3気圧であることを考慮し、該蒸気圧をできるだけ下げる必要がある。このために、これらシラン類や基板の温度をできるだけ下げることが好ましい。

ジシランやトリシランなどの蒸気圧をより低くし、塗布膜の均一性を向上させ

るために、スピンコータ 203 や第 1, 第 2 の熱処理部 204, 205 を、不活性ガスによる加圧状態としてもよい。加圧状態ではジシランなどの沸点温度が上昇し、同じ温度における蒸気圧が低くなるため、スピンコータ 203 の温度を前述の設定温度より高めにし、室温に近い温度に設定することもできる。この場合には、万トリシランなどが漏洩したときのことを考慮して、加圧状態が可能な構造の外側に減圧状態にできる 2 重構造とし、漏洩したトリシランなどを別に設ける排気装置で排気することが好ましい。この該排気ガスは、排ガス処理部 212 にて処理される。

また、スピンコータ 203 や第 1, 第 2 の熱処理部 204, 205 の内部に滞留するシランガスも、排気装置 211 で排気される。

図 8 に示すシリコン膜形成装置は、図 7 に示すシリコン膜形成装置と、図 1 に示す絶縁膜形成装置をインライン結合したものである。即ち、図 7 の第 2 の熱処理部 205 とロードロック室 206 の間に、図 1 のスピンコート部 102 及び熱処理炉 103 を導入した構成となっている。

図 8 において、シリコン膜は第 2 の熱処理部 205 でレーザアニールにより結晶化される処理までは、図 7 の装置の動作と同じである。結晶化されたシリコン膜は、スピンコータ 102 において、ポリシラザンや無機の SOG 膜が塗布される。次に熱処理部 103 において、塗布された膜が絶縁膜に変成される。

スピンコータ 203、第 1, 第 2 の熱処理部 204, 205 は、図 7 と同様に不活性ガス雰囲気での減圧状態である。図 1 では絶縁膜のスピンコータ 102 及び熱処理部 103 は常圧であったが、図 8 の装置では不活性ガス雰囲気での減圧状態とする。このための排気は排気装置 108 で行う。

図 8 により形成されるシリコン膜は、該シリコン膜の上に不活性雰囲気での絶縁膜が形成されるため、大気に晒されることがない。従って、TFT 素子の特性を左右するシリコン膜と絶縁膜の界面を制御できるので、TFT 素子の特性や該特性の均一性を向上させることができる。

なお、図 8 ではシリコン膜の上の絶縁膜形成はシリコン膜の結晶化の後で行ったが、図 6 の装置と同様にして、シリコン膜の第 1 の熱処理後に絶縁膜を形成し、シリコン膜の結晶化をその絶縁膜の熱処理後に行ってもよい。この場合も、図 6

の場合と同様に、絶縁膜のキャップ層がついたシリコン膜をレーザアニールによって結晶化することになる。絶縁膜はシリコン表面の反射率を下げる効果があるので、レーザエネルギーが効率よくシリコン膜に吸収されるという利点がある。また、レーザアニール後のシリコン膜の表面が平滑であることなどの特徴がある。

(塗布シリコン膜への不純物拡散方法)

シリコン膜へ不純物を拡散させる方法は、従来のイオン注入装置などを用いて実施しても良いが、図10または図11に示すように、不純物含有絶縁層を塗布した後に、その下層のシリコン膜に不純物を拡散させることが好ましい。

この不純物含有絶縁膜の形成は、図2に示す装置と同じ装置を用いることができる。本実施例では、リンガラスまたはボロンガラスを含むSOG膜を、不純物含有塗布膜として塗布するものとする。N型の高濃度不純物領域を形成する場合は、エタノール及び酢酸エチルを溶媒としてSi濃度が数wt%となるようにシロキサンポリマーを含有する液体に、該液体100mlあたり数百 μ gのP2O5を含有するSOG膜を不純物含有塗布膜として使用する。この場合、図2の塗布液保管部105に、その塗布液を保管し、スピンコータ102より該塗布液を基板上に塗布する。さらにスピンコータ102において、回転数が数1000rpmで基板を回転することで、前記SOG膜として数1000Åの膜厚が得られる。この不純物含有塗布膜は、第1の熱処理部103Aで300℃乃至500℃で熱処理され、数モル%のP2O5を含むリンガラス膜となる。リンガラス膜が形成されたTF T基板は、第2の熱処理部103Bにおいて、ランプアニールまたはレーザアニールの高温短時間の熱処理を受け、SOG膜中の不純物がその下層のシリコン膜中に固相拡散して、該シリコン膜中に高濃度不純物領域が形成される。TF T基板は最後にアンローダ104でカセットに収納される。

このソース・ドレイン領域の形成では、塗布工程及び高温短時間のアニール工程とも1分以内の処理が可能であり、非常に高い生産性を有する。尚、熱処理工程は数10分程度必要であるが熱処理炉の長さや構造を工夫することによりタクト時間を削減できる。

前記不純物含有塗布膜が塗布されたTF Tの断面図を図10及び図11に示す。図10は図3に対応するコブレナ型のTF Tで、ガラス基板14に下地絶縁膜1

2が形成され、その上にシリコン層14がパターニングされている。ゲート絶縁膜16はゲート電極18をマスクにエッチング除去され、ソース・ドレインとなるべき領域のシリコン層が一旦露出される。従って、不純物含有塗布膜50は前記シリコン膜のソース・ドレインとなる領域14S、14Dに接して形成される。そして、前述した高温短時間の熱処理により、不純物含有塗布膜50に含まれるリンが固相拡散により前記シリコン膜中に拡散し、シート抵抗が $1\text{ K}\Omega/\square$ 以下のN型のソース・ドレイン領域14S、14Dが形成される。

これ以降の工程は図3に示すTF Tの断面図から分かるように、層間絶縁膜の形成、コンタクトホール開口、画素電極形成、ソース配線の順に形成される。ここで、層間絶縁膜形成の際、不純物含有塗布膜50を除去した後に改めて前述した塗布膜による層間絶縁膜を形成してもよいし、不純物含有塗布膜50の上に新たに層間絶縁膜を形成してもよい。不純物含有塗布膜50の上に新たに層間絶縁膜を形成する方法では、絶縁膜が2層になり液晶表示装置におけるソース線とゲート線の短絡欠陥が少なくなる。

図11は図4に対応する逆スタガ型のTF Tで、ガラス基板30上に下地絶縁膜32が形成され、その上にゲート電極35が形成され、さらにゲート絶縁膜34を介してシリコン層33がパターニングされている。絶縁膜52は、チャネル領域の保護膜であると同時に不純物拡散のマスクとなり、塗布絶縁膜により形成される。

不純物含有絶縁膜54は、マスクとなる絶縁膜52及びシリコン膜33のソース・ドレイン領域となるべき領域33S、33Dに接して、塗布絶縁膜として形成される。不純物含有絶縁膜54が高温短時間の熱処理されると、不純物含有絶縁塗布膜54中に含まれるリンが固相拡散により前記シリコン膜33中に拡散し、シート抵抗が $1\text{ K}\Omega/\square$ 程度のN型のソース・ドレイン領域33S、33Dが形成される。

これ以降の工程は、図4に示すTF Tの断面図から分かるように、不純物含有絶縁膜54を除去した後、画素電極、ソース配線及びドレイン電極と、それらの接続部の順に形成される。

本実施例によれば、図3に示すコブレナ型のTF Tにおいて、ソース・ドレイ

ン領域の形成は、従来のイオン打ち込みやイオンドーピングの代わりに塗布膜の形成と高温短時間の熱処理により行われるので、安価で且つスループットの高い装置を用いてTFTを製造することができる。また、図4に示す逆スタガ型のTFTにおいては、CVD法によるソース・ドレイン領域の形成が、塗布膜の形成と高温短時間の熱処理に置き換わることになり、コブレナ型のTFTの場合と同様に安価で且つスループットの高い装置を用いて液晶表示装置を製造することができる。

(塗布導電膜の形成方法)

次に、導電性粒子を含有した液体を塗布して塗布導電膜を形成する方法について説明する。この塗布導電膜も、図1または図2に示す装置を用いて製造することができる。このとき、図1、図2の塗布液保管部105に保管される液体は、金属などの導電性物質の微粒子を液体例えば有機溶媒に分散させたものを用いる。例えば、粒径80-100Åの銀微粒子をテルピネオールやトルエンなどの有機溶媒に分散させたものを、スピンコータ102より基板上に吐出する。その後、基板を1000rpmで回転させてその塗布液を基板上にスピンコートする。さらに、図1の熱処理部103あるいは図2の第1の熱処理部103Aにて、250-300℃で熱処理すれば、数千Åの導電膜を得ることができる。導電性物質の微粒子には、そのほかにAu、Al、Cu、Ni、Co、Cr、ITOなどがあり、塗布型導電膜形成装置により導電膜を形成することができる。

得られた導電膜は微粒子の集合であり非常に活性であるため、スピンコータ102と、熱処理部103または第1の熱処理部103Aは不活性ガス雰囲気にする必要がある。

また、塗布導電膜の抵抗値はバルクの抵抗値に比べると1桁程度高くなることがある。この場合には、図2の第2の熱処理部103Bにて、塗布導電膜を300乃至500℃にてさらに熱処理すると、導電膜の抵抗値が低下する。このとき同時に、TFTのソース領域と、塗布導電膜で形成したソース配線とのコンタクト抵抗、さらにはドレイン領域と、塗布導電膜で形成した画素電極とのコンタクト抵抗を低減することができる。第2の熱処理部103Bにて、ランプアニールやレーザアニールなどの高温短時間の熱処理を行うと、塗布導電膜の低抵抗化と

コンタクト抵抗の低減をより効果的に行うことができる。また、異種の金属を多層形成して、信頼性を向上させることもできる。Agは比較的空气中で酸化され易いので、Agの上に空气中で酸化されにくいAlやCuなどを形成するとよい。

(透明電極の形成方法)

次に、塗布ITO膜を用いた透明電極の成形方法について説明する。この塗布ITOの成膜も、図2と同じ装置を用いて実施できる。本実施例で用いる塗布液は、有機インジウムと有機スズとがキシロール中に97：3の比率で8%配合された液状のもの（たとえば、旭電化工業株式会社製の商品名：アデカITO塗布膜/ITO-103L）である。なお、塗布液としては、有機インジウムと有機スズとの比が99：1から90：10までの範囲にあるものを使用することができる。この塗布液が図2の塗布液保管部105に保管される。

この塗布液が、スピンコート102にて基板上に吐出され、さらに基板を回転させることでスピンコートされる。

次に、塗布膜の熱処理が実施されるが、このときの熱処理条件は下記の通り設定した。まず、図2の第1の熱処理部103Aにて、250℃～450℃の空気中あるいは酸素雰囲気中で30分から60分の第1の熱処理を行った。次に、第2の熱処理部103Bにて、200℃～400℃の水素含有雰囲気中で30分から60分の第2の熱処理を行った。その結果、有機成分が除去され、インジウム酸化物と錫酸化物の混合膜（ITO膜）が形成される。上記熱処理により、膜厚が約500オングストローム～約2000オングストロームのITO膜は、シート抵抗が $10^2 \Omega/\square \sim 10^4 \Omega/\square$ で、光透過率が90%以上となり、画素電極41として十分な性能を備えたITO膜とすることができる。前記第1の熱処理後のITO膜のシート抵抗は $10^6 \sim 10^8 \Omega/\square$ のオーダーであるが、前記第2の熱処理のよりシート抵抗は $10^2 \sim 10^4 \Omega/\square$ のオーダーまで低下する。

この塗布ITO膜の形成は、図5または図6に示す装置によって、塗布ITO膜と塗布絶縁膜とをインラインにて製造することができる。このようにすれば形成直後の活性な塗布ITO膜の表面を絶縁膜で保護することができる。

(導電層の他の形成方法)

この方法は、上述した塗布ITO膜の上に、金属メッキ層を形成する方法であ

る。

図9は、塗布ITO表面にNiメッキを施すフローチャートを示している。図9のステップ1にて、上述した方法で塗布ITO膜を形成する。次にステップ2にて、塗布ITO表面を例えばライトエッチングして、その表面を活性化させる。ステップ3では、ステップ4のNiメッキ処理の前処理として、まず塗布ITOの表面に、Pd/Snの鉛塩を付着させ、次に表面にPdを析出させる処理を行う。

ステップ4のNiメッキ工程では、例えば無電解メッキ工程を実施することで、塗布ITO表面に析出されたPdが、Niに置換されてNiメッキ処理がなされる。ステップ4にてさらにNiメッキ層をアニールすることで、そのメッキ層が緻密化される。最後に、ステップ5にて、Niメッキ上に酸化防止層としての貴金属メッキ例えばAuメッキ処理することで、導電層が完成する。

この方法により、塗布ITO膜をベースとしながらも、メッキ層を形成して透明電極以外の導電層を形成することができる。

(スピコート以外の塗布方法)

図14乃至図16は、薄膜を形成するための液体やフォトリソ時のマスクに使用されるレジストなどの液体を塗布する塗布装置を示す図である。本実施例では塗布する液体としてレジストを例に挙げて説明する。レジスト塗布に限らず、もちろん上述した各種塗布膜の形成にも利用できる。図14において、ステージ301上に基板302が真空吸着されている。レジストは液体保管部307から供給管306を通してディスペンサヘッド304に供給される。レジストはさらに、ディスペンサヘッド307に設けられた複数のノズル305から、基板302上に非常に多くのドット303として塗布される。

ノズル305の詳細断面図を図15に示す。図15はインクジェットプリンタのヘッドと同様な構造であり、ピエゾ素子の振動でレジストを吐出するようになっている。レジストは入り口部311から供給口312を介してキャビティ部313に溜まる。振動板315に密着しているピエゾ素子314の伸縮により該振動板315が動き、キャビティ313の体積が減少または増加する。レジストはキャビティ313の体積が減少するときノズル口316から吐出され、キャビテ

イ 3 1 3 の体積が増加するとき、レジストは供給口 3 1 2 からキャビティ 3 1 3 に供給される。ノズル口 3 1 6 は例えば図 1 6 に示すように 2 次元的に複数個配列されており、図 1 4 に示したように、基板 3 0 2 またはディスペンサ 3 0 4 が相対的に移動することによって、基板全面にレジストがドット状に塗布される。

図 1 6 において、ノズル口 3 1 6 の配列ピッチは、横方向ピッチ P_1 が数 $10\ \mu\text{m}$ 、縦方向ピッチ P_2 が数 mm である。ノズル口 3 1 6 の口径は数 $10\ \mu\text{m}$ 乃至数 $100\ \mu\text{m}$ である。一回の吐出量は数 $10\ \text{ng}$ 乃至数 $100\ \text{ng}$ で、吐出されるレジストの液滴の大きさは直径数 $10\ \mu\text{m}$ 乃至数 $100\ \mu\text{m}$ である。ドット状に塗布されるレジストは、ノズル 3 0 5 から吐出された直後は数 $100\ \mu\text{m}$ の円形である。レジストを基板全面に塗布する場合は、前記ドット 3 0 3 のピッチも数 $100\ \mu\text{m}$ とし、回転数が数百乃至数千 rpm で数秒間基板を回転すれば、均一な膜厚の塗布膜が得られる。塗布膜の膜厚は基板の回転数や回転時間だけでなく、ノズル口 3 1 6 の口径及びドット 3 0 3 のピッチによっても制御可能である。

このレジスト塗布方式はインクジェット方式の液体塗布方式であり、基板全面にドット状に塗布されるため、ドット 3 0 3 間のレジストのない部分にレジストが塗布されるように基板を移動例えば回転させればよいので、レジストを効率的に使用することができる。この方式はレジストだけでなく、前述した塗布膜にて形成される絶縁膜、シリコン膜、導電膜の形成にも同様に適用できるので、液晶表示装置のコスト低減に非常に大きな効果をもたらすものである。

また、インクジェット方式の液体塗布において、ノズル口 3 1 6 の口径は更に小さくすることができるので、 $10\sim 20\ \mu\text{m}$ 幅の線状のパタンに塗布することも可能である。この技術をシリコン膜や導電膜の形成に用いれば、フォトリソグラフィ工程が不要な直接描画が可能となる。TFT のデザインルールが数 $10\ \mu\text{m}$ 程度であれば、この直接描画と塗布方式の薄膜形成技術を組み合わせることにより、CVD 装置、スパッタ装置、イオン打ち込みやイオンドーピング装置、露光装置、エッチング装置を使用しない液晶表示装置の製造が可能となる。即ち、本発明によるインクジェット方式の液体塗布装置と、レーザアニール装置やランブアニール装置などの熱処理装置のみで液晶表示装置が製造できるのである。

なお、この第1実施例はTFTアクティブマトリクス基板を例に挙げて薄膜デバイスを説明したが、同じアクティブマトリクス基板としてMIM（金属-絶縁-金属）、MIS（金属-絶縁-シリコン）などの他の2端子、3端子素子を画素スイッチング素子とするものにも同様に適用できる。例えばMIMを用いたアクティブマトリクス基板の薄膜積層構造は半導体層を含まず、導電層と絶縁層のみで構成されるが、この場合にも本発明を適用できる。さらには、本発明はアクティブマトリクス基板にのみでなく、表示要素としても液晶によらずに例えばEL（エレクトロルミネッセンス）などを用いるものでも良い。さらには、TFTを含む半導体デバイス、DMD（デジタルミラーデバイス）など、導電層と絶縁層を含み、さらには半導体層を含む種々の薄膜積層構造を有する薄膜デバイスに本発明を適用可能である。

次に、本発明を液晶表示装置用のアクティブマトリクス基板に適用し、特に、画素電極を導電性塗布膜にて形成する第2～第7実施例について説明する。

第2実施例

図18は、液晶表示装置用のアクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図、図19は、そのI-I'線に相当する位置での断面図である。

図18および図19において、液晶表示装置用のアクティブマトリクス基板400は、絶縁基板410上がデータ線 S_n 、 S_{n+1} …と走査線 G_m 、 G_{m+1} …とによって複数の画素領域402に区画形成され、各画素領域402の各々に対してはTFT404が形成されている。このTFT404は、ソース領域414とドレイン領域416との間にチャンネルを形成するためのチャンネル領域417、該チャンネル領域417にゲート絶縁膜413を介して対峙するゲート電極415、該ゲート電極415の表面側に形成された層間絶縁膜421、該層間絶縁膜421のコンタクトホール421Aを介してソース領域414に電氣的接続するソース電極431、および層間絶縁膜421のコンタクトホール421Bを介してドレイン領域416に電氣的接続するITO膜からなる画素電極441を有している。ソース電極431はデータ線 S_n 、 S_{n+1} …の一部であり、ゲート電極415は走査線 G_m 、 G_{m+1} …の一部である。

ここで、画素電極 4 4 1 は、ソース電極（データ線） 4 3 1 と同様、層間絶縁膜 4 2 1 の表面に形成される。このため、これらの電極同士が短絡しないように、画素電極 4 4 1 は、データ線 S_n 、 S_{n+1} と平行な外周縁 4 4 1 A、4 4 1 B がデータ線 S_n 、 S_{n+1} よりもかなり内側に位置するように構成されている。

図 2 0 (A) ~ (D)、図 2 1 (A) ~ (C) は、本実施例のアクティブマトリクス基板の製造方法を示す工程断面図である。

このようなアクティブマトリクス基板 4 0 0 の製造方法では、まず、図 2 0 (A) に示すように、絶縁基板 4 1 0 として汎用の無アリカリガラスを用いる。まず、絶縁基板 4 1 0 を清浄化した後、絶縁基板 4 1 0 の上に CVD 法 (Chemical Vapor Deposition) や PVD 法 (Physical Vapor Deposition) によりシリコン酸化膜などからなる下地保護膜 4 1 1 を形成する。CVD 法としては、たとえば減圧 CVD 法 (LPCVD 法) やプラズマ CVD 法 (PECVD 法) などがある。PVD 法としては、たとえばスパッタ法などがある。尚、下地保護膜 4 1 1 は、絶縁基板 4 1 0 に含まれる不純物や該基板表面の清浄度などにより省略することも可能である。

次に、TF T 4 0 4 の能動層となるべき真性のシリコン膜などの半導体膜 4 0 6 を形成する。この半導体膜 4 0 6 も CVD 法や PVD 法により形成できる。このようにして得られる半導体膜 4 0 6 は、そのままアモルファスシリコン膜として TF T のチャネル領域などの半導体層として用いることができる。また、半導体膜 1 2 0 は、図 2 0 (B) に示すように、レーザ光などの光学エネルギーまたは電磁エネルギーを短時間照射して結晶化を進めてもよい。

次に、所定のパターンをもつレジストマスクを形成した後、このレジストマスクを用いて半導体膜 4 0 6 をパターニングし、図 2 0 (C) に示すように、島状の半導体膜 4 1 2 とする。半導体膜 4 1 2 にパターニングした後は、PVD 法や CVD 法などでゲート絶縁膜 4 1 3 を形成する。

次に、ゲート電極となるアルミニウム膜などの薄膜をスパッタ形成する。通常はゲート電極とゲート配線とは、同一の金属材料などで同一の工程により形成される。ゲート電極となる薄膜を堆積した後、図 2 0 (D) に示すように、パター

ニングを行い、ゲート電極 4 1 5 を形成する。このとき走査線も形成される。次に、半導体膜 4 1 2 に対して不純物イオンを導入し、ソース領域 4 1 4 およびドレイン領域 4 1 6 を形成する。不純物イオンが導入されなかった部分はチャンネル領域 4 1 7 となる。この方法では、ゲート電極 4 1 5 がイオン注入のマスクとなるため、チャンネル領域 4 1 7 は、ゲート電極 4 1 5 下のみに形成される自己整合構造となるが、オフセットゲート構造や L D D 構造の T F T を構成してもよい。不純物イオンの導入は、質量非分離型イオン注入装置を用いて注入不純物元素の水素化合物と水素とを注入するイオン・ドーピング法、あるいは質量分離型イオン注入装置を用いて所望の不純物イオンのみを注入するイオン打ち込み法などを適用することができる。イオン・ドーピング法の原料ガスとしては、水素中に希釈された濃度が 0.1 % 程度のホスフィン (PH_3) やジボラン (B_2H_6) などの注入不純物の水素化物を用いる。

次に、図 2 1 (A) に示すように、シリコン酸化膜からなる層間絶縁膜 4 2 1 を C V D 法あるいは P V D 法で形成する。イオン注入と層間絶縁膜 4 2 1 の形成後、350℃程度以下の適当な熱環境下にて数十分から数時間の熱処理を施して注入イオンの活性化及び層間絶縁膜 4 2 1 の焼き締めを行う。

次に、図 2 1 (B) に示すように、層間絶縁膜 4 2 1 のうち、ソース領域 4 1 4 及びドレイン領域 4 1 6 に相当する位置にコンタクトホール 4 2 1 A 及び 4 2 1 B を形成する。次に、ソース電極を形成するためのアルミニウム膜などをスパッタ形成した後、それをパターニングして、ソース電極 4 3 1 を形成する。このときデータ線も形成される。

次に、図 2 1 (C) に示すように、層間絶縁膜 4 2 1 の表面全体に I T O 膜 4 0 8 を塗布成膜する。

この塗布成膜にあたっては、各種の液状またはペースト状の塗布材を用いることができる。これらの塗布材のうち、液状のものであればディップ法やスピンコート法などを用いることができ、ペースト状のものであればスクリーン印刷法などを用いることができる。この第 2 実施例で塗布材は、第 1 実施例と同様に、有機インジウムと有機スズとがキシロール中に 97 : 3 の比率で 8 % 配合された液状のもの（たとえば、旭電化工業株式会社製の商品名：アデカ I T O 塗布膜 / I

TO-103L)であり、絶縁基板410の表面側(層間絶縁膜20の表面)にスピンコート法で塗布できる。ここで、塗布材としては、有機インジウムと有機スズとの比が99/1から90/10までの範囲にあるものを使用することができる。

この第2実施例でも、絶縁基板410の表面側に塗布した膜については、溶剤を乾燥、除去した後、熱処理(焼成)を行う。このとき熱処理条件としては、たとえば、250℃～450℃の空気中あるいは酸素雰囲気中で30分から60分の第1の熱処理を行った後、200℃～400℃の水素含有雰囲気中で30分から60分の第2の熱処理を行う。その結果、有機成分が除去され、インジウム酸化物と錫酸化物の混合膜(ITO膜)が形成される。上記熱処理により、膜厚が約500オングストローム～約2000オングストロームのITO膜は、シート抵抗が $10^2\Omega/\square\sim 10^4\Omega/\square$ で、光透過率が90%以上となり、画素電極441として十分な性能を備えたITO膜とすることができる。第1の熱処理後のITO膜のシート抵抗は $10^5\sim 10^6\Omega/\square$ のオーダーであるが、第2の熱処理のよりシート抵抗は $10^2\sim 10^4\Omega/\square$ のオーダーまで低下する。

このようにしてITO膜408を形成した後、パターニングして、図19に示すように、画素電極441を形成すると、各画素領域402にTF T 404が形成される。従って、走査線Gmを介して供給される制御信号によってTF T 404を駆動すれば、画素電極441と対向基板(図示せず)との間に封入されている液晶セルには、データ線SnからTF T 404を介して画像情報が書き込まれ、所定の表示を行うことができる。

このように、第2実施例では、画素電極441を形成するためのITO膜を形成するにあたって、液状の塗布材を、大型基板の処理に適しているスピンコート法などの塗布成膜法によって絶縁基板410上に塗布したため、スパッタ法などの真空系を備えた大がかりな成膜装置を必要とする成膜法と違って、安価な成膜装置で成膜できる。

しかも、塗布成膜法よれば、図25(B)に示すように、画素電極441を構成するための液状またはペースト状の塗布材を、層間絶縁膜421の表面に塗布した際に塗布材がコンタクトホール421Bをスムーズに埋めるので、画素電極

441の表面形状は下層側の凹凸などの影響を受けにくい。それ故、表面に段差のない平坦な画素電極441（導電膜）を形成できるので、ラビングを安定に行えるとともに、リバースチルトドメインの発生などを防止できる。よって、この第2実施例によれば、表示品位が向上する。

これに対して図25（A）のように、画素電極をスパッタITO膜450で形成すると、このスパッタITO膜450が形成される面の段差にならってスパッタITO膜450が形成されてしまう。スパッタITO膜450の表面に形成される段差は、不安定なラビングとリバースチルトドメインの原因となって、表示品質を低下させてしまう。しかも、スパッタITO膜450は、コンタクトホール421Bを全て埋め込むように形成することが困難であるので、そこに開口部が形成されてしまう。この開口部の存在も、不安定なラビングとリバースチルトドメインの原因となる。従って、図25（B）のように塗布ITO膜にて画素電極441を形成することが有用である。

第3実施例

図22は、液晶表示装置用のアクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図、図23は、そのII-II'線に相当する位置での断面図である。

図22および図23において、第3の実施例に係る液晶表示装置用のアクティブマトリクス基板401上の薄膜デバイス構造が、第2の実施例のアクティブマトリクス基板400上の薄膜デバイス構造と相違する点は下記の通りである。

まず、この第3実施例では、層間絶縁膜を、ゲート電極415の表面側において、下層側に位置する下層側層間絶縁膜421と、該下層側層間絶縁膜421の表面に形成された上層側層間絶縁膜422との2層構造としている。ここで、ソース電極431は、下層側層間絶縁膜421の表面に形成され、下層側層間絶縁膜421のコンタクトホール421Aを介してソース領域414に電氣的接続している。

これに対して、画素電極441は上層側層間絶縁膜422の表面に形成され、上層側層間絶縁膜422および下層側層間絶縁膜421のコンタクトホール422Aを介してドレイン領域416に電氣的接続している。このように画素電極4

41はソース電極431と異なる層に構成されているので、これらの電極同士が短絡することはない。

そこで、第3実施例では、図22からわかるように、いずれの画素領域402においても、画素電極441は、データ線 S_n 、 S_{n+1} と平行な2辺の外周縁441A、441Bが、隣接画素間においてデータ線 S_n 、 S_{n+1} の上方に位置するように形成されている。また、画素電極441は、走査線 G_m 、 G_{m+1} に平行な2辺の外周縁441C、441Dが、隣接画素間において走査線 G_m 、 G_{m+1} の上方に位置するように形成されている。すなわち、画素電極441は、その一部がデータ線 S_n 、 S_{n+1} および走査線 G_m 、 G_{m+1} の上方に被さっている。従って、画素電極441の4辺の外周縁441A～441Dと、データ線 S_n 、 S_{n+1} 、走査線 G_m 、 G_{m+1} との間には、平面から見て隙間がない。それ故、データ線 S_n 、 S_{n+1} 、走査線 G_m 、 G_{m+1} は、それら自身がブラックマトリクスとして機能する。この結果、ブラックマトリクス層形成のための工程数を増やさなくても、高品位の表示を行うことができる。

このようなアクティブマトリクス基板401の製造方法は、第2実施例で説明した図20(A)～図20(D)が共通する。そこで、以下の説明では、図20(D)に示す工程を行った以降の工程について、図24(A)～(D)を参照して説明する。

まず、図24(A)に示すように、ソース領域414、ドレイン領域416、チャネル領域417、ゲート絶縁膜413、およびゲート電極415を形成した後、ゲート電極415の表面側に、シリコン酸化膜からなる下層側層間絶縁膜421をCVD法あるいはPVD法で形成する。

次に、図24(B)に示すように、下層側層間絶縁膜421のうち、ソース領域414に相当する位置にコンタクトホール421Aを形成する。次に、ソース電極431およびデータ線を形成するためのアルミニウム膜をスパッタ形成した後、それをパターニングして、ソース電極431およびデータ線 S_n 、 S_{n+1} …を形成する。

次に、図24(C)に示すように、下層側層間絶縁膜421の表面にシリコン酸化膜からなる上層側層間絶縁膜422をCVD法あるいはPVD法で形成する。

次に、下層側層間絶縁膜 4 2 1 および上層側層間絶縁膜 4 2 2 のうち、ドレイン領域 4 1 6 に相当する位置にコンタクトホール 4 2 2 A を形成する。

次に、図 2 4 (D) に示すように、層間絶縁膜 4 2 2 の表面全体に I T O 膜 4 0 9 を塗布成膜する。

この塗布成膜にあたって、第 1, 第 2 実施例と同様、各種の液状またはペースト状の塗布材を用いることができる。これらの塗布材のうち、液状のものであればディップ法やスピンコート法などを用いることができ、ペースト状のものであればスクリーン印刷法などを用いることができる。また、この第 3 実施例でも、塗布した I T O 膜 4 0 9 については、上述した第 1, 第 2 の熱処理が実施され、シート抵抗が低下される。

しかる後に、I T O 膜 4 0 9 をパターニングして、図 2 3 に示すように、画素電極 4 4 1 を形成する。この際に、図 2 2 を参照して説明したように、いずれの画素領域 2 においても、画素電極 4 4 1 の 4 辺の外周縁 4 4 1 A ~ 4 4 1 D が隣接する画素間においてデータ線 S_n , S_{n+1} 、走査線 G_m , G_{m+1} に被さるようにパターニングされる。通常、データ線および走査線は金属膜で形成されるので、これらのデータ線および走査線が遮光膜となり、ブラックマトリクスとして利用できる。それ故、工程数を増やさなくても高品位の表示を行うことができる。

しかも、画素領域 4 4 1 がデータ線および走査線に被さるまでその形成範囲を最大限拡張したので、画素領域 4 0 2 の開口率が高い。これによっても表示の品位が向上する。

また、この第 3 実施例では、画素電極 4 4 1 を形成するための I T O 膜を形成するにあたって、液状の塗布材を、大型基板の処理に適しているスピンコート法（塗布成膜法）によって絶縁基板 4 1 0 上に塗布したため、図 1 0 (B) に示すように、画素電極 4 4 1 は下層側が凹部となっている部分ではその分厚く、凸部となっている部分ではその分薄く形成される。従って、データ線に起因する凹凸が画素電極 4 4 1 の表面に反映されない。それ故、表面に段差のない平坦な画素電極 4 4 1 を形成できるので、ラビングを安定に行えとともに、リバースチルトドメインの発生などを防止できる。このような利点は、走査線の上層側におい

ても同様である。よって、本発明によれば、表示品位が向上する。

さらに、画素電極 4 4 1 を形成するための I T O 膜を形成するにあたって、液状の塗布材をスピンコート法によって絶縁基板 4 1 0 上に塗布するため、スパッタ法などといった真空系を備えた大がかりな成膜装置を必要とする成膜法と違って、安価な成膜装置で成膜できる。

しかも、塗布成膜法は段差被覆性に優れているので、下層側に下層側層間絶縁膜 4 2 1 および上層側層間絶縁膜 4 2 2 のコンタクトホール 4 2 1 A、4 2 2 A が存在していても、その大きな凹凸は画素電極 4 4 1 (I T O 膜) の表面形状に影響を及ぼさない。すなわち、下層側層間絶縁膜 4 2 1 および上層側層間絶縁膜 4 2 2 からなる 2 層構造の層間絶縁膜を形成したため、コンタクトホール 4 2 1 A、4 2 2 A に起因する凹凸が大きくても、表面に段差のない平坦な画素電極 4 4 1 を形成できる。従って、画素電極 4 4 1 がドレイン領域 4 1 6 に直接接続する構造を採用でき、下層側層間絶縁膜 4 2 1 と上層側層間絶縁膜 4 2 2 との層間にドレイン領域 4 1 6 に電氣的接続する中継電極 (ピア) を形成しなくてもよい分、製造工程を簡略化できる。

なお、第 3 実施例でも、画素電極 4 4 1 を形成するにあたって、液状の塗布材から I T O 膜を形成したため、スピンコート法を用いたが、ペースト状の塗布材を用いれば印刷法を用いて I T O 膜を形成することができる。さらに、ペースト状の塗布材を用いればスクリーン印刷を利用することもできるので、画素電極 4 4 1 を形成すべき領域のみにペースト状の塗布材を印刷し、それに乾燥、熱処理を行ったものをそのまま画素電極 4 4 1 として用いてもよい。この場合にはエッチングによる I T O 膜に対するパターニングが不要であるため、製造コストを大幅に低減できるという利点がある。

また、第 2、第 3 実施例のいずれでも、層間絶縁膜のコンタクトホールの存在が画素電極 4 4 1 の表面形状に影響を及ぼしやすいプレーナ型の T F T を例に説明したが、逆スタガ型等の T F T においても、下層側に凹凸のある領域に画素電極を形成する場合に本発明を適用すれば、かかる凹凸が画素電極の表面形状に及ぼす影響を除去することができる。

第 4 実施例

この第4実施例の構造として、図22のII-II'断面が第3実施例の図23とは異なる構造を、図26に示す。

この第4実施例においても、層間絶縁膜420は、下層側に位置する下層側層間絶縁膜421と、この下層側層間絶縁膜421の表面上に積層された上層側層間絶縁膜422との2層構造になっている。

図26に示す構造が図23と異なる点として、画素電極441が、上層側層間絶縁膜422の表面にスパッタ形成されたスパッタITO膜446（導電性スパッタ膜）と、このスパッタITO膜446の表面上に塗布成膜された塗布ITO膜447（導電性透明塗布膜）との2層構造になっている点である。

従って、塗布ITO膜447は、その下層側に位置するスパッタITO膜446を介してドレイン領域416に電氣的接続している。スパッタITO膜446と塗布ITO膜447とは、後述するように一括してバターニング形成されたものであるため、それらの形成領域は同一である。

この点以外の構造は図23と同じであるので、図23で用いた符号と同一符号を付して、その詳細な説明を省略する。

この第4実施例の構造においても、その平面的レイアウトは、第3実施例で説明した図22と同一となるので、データ線 S_n 、 S_{n+1} …および走査線 G_m 、 G_{m+1} …は、それら自身がブラックマトリクスとして機能する。従って、工程数を増やさなくても高品位の表示を行うことができる。

第3実施例においてドレイン領域416にコンタクトする塗布ITO膜447は、スパッタITO膜に比較してのコンタクト抵抗が高い傾向にある。第4実施例では塗布ITO膜447はあくまで、スパッタITO膜446を介してドレイン領域416に電氣的接続しているので、コンタクト抵抗が大きいという問題点を解消できる利点がある。

このようなアクティブマトリクス基板401の製造方法を、図27(A)～(E)および図28(A)～(E)を参照して説明する。ここで、図27(A)～(E)は、第3実施例の工程を示す図20(A)～(D)および図24(A)と同じであるので、その説明を省略する。また、図28(B)(C)は、第3実施例の工程を示す図24(B)(C)と同一である。

図28(A)は、図28(B)の前工程としてのレジストパターン形成工程を示している。図28(B)に示すソース電極431及びソース線を形成するために、図28(A)ではアルミニウム膜460をスパッタ法により形成している。その後、このアルミニウム膜460の上に、パターニングされたレジストマスク461を形成している。このレジスト膜461を用いてアルミニウム膜460をエッチングすることで、図28(B)に示すようにソース電極431およびデータ線が形成される。

る。

次に、図28(C)に示すように、下層側層間絶縁膜421の表面にシリコン酸化膜からなる上層側層間絶縁膜422をCVD法あるいはPVD法で形成する。イオン注入と層間絶縁膜の形成後、350℃程度以下の適当な熱環境下にて数十分から数時間の熱処理を施して注入イオンの活性化、および層間絶縁膜420(下層側層間絶縁膜421および上層側層間絶縁膜422)の焼き締めを行う。次に、下層側層間絶縁膜421および上層側層間絶縁膜422のうち、ドレイン領域416に相当する位置にコンタクトホール422Aを形成する。

次に、図28(D)に示すように、下層側層間絶縁膜421および上層側層間絶縁膜422からなる層間絶縁膜420の表面全体にスパッタ法によりスパッタITO膜446(導電性スパッタ膜)を形成する。

続いて、図28(E)に示すように、スパッタITO膜446の表面上に塗布ITO膜447(導電性透明塗布膜)を形成する。

この塗布ITO膜447の形成にあたっては、第1～第3実施例と同一のプロセス条件を採用できる。この第4実施例に表面側に塗布した液状またはペースト状の塗膜については、溶剤を乾燥、除去した後、熱処理装置内で熱処理を行う。このとき熱処理条件としては、たとえば、温度が250℃～500℃、好ましくは250℃～400℃の空气中あるいは酸素含有雰囲気中または非還元性雰囲気中で30分から60分の第1の熱処理(焼成)を行った後、温度が200℃以上、好ましくは200℃～350℃の水素含有の還元性雰囲気中で30分から60分の第2の熱処理を行う。いずれの場合でも、第1の熱処理で安定化した皮膜が熱劣化しないように、第2の熱処理での処理温度は第1の熱処理での処理温度より

も低く設定する。このような熱処理を行うと、有機成分が除去されるとともに、塗膜はインジウム酸化物と錫酸化物の混合膜（塗布ITO膜447）となる。その結果、膜厚が約500オングストローム～約2000オングストロームの塗布ITO膜447は、シート抵抗が $10^2\Omega/\square\sim 10^4\Omega/\square$ で、光透過率が90%以上となり、スパッタITO膜446とともに十分な性能を備えた画素電極441を構成することができる。

しかる後に、基板温度が200℃以下になるまで絶縁基板410を第2の熱処理を行った還元性雰囲気中または窒素ガスなどの非酸化性雰囲気中、あるいはその他の非酸化性雰囲気中に保持し、基板温度が200℃以下になった以降、絶縁基板410を熱処理装置から大気中に取り出す。このように、絶縁基板410の温度が約200℃以下に低下した後に大気にさらすのであれば、水素含有雰囲気下での第2の熱処理での還元により低抵抗化した皮膜が再び酸化してしまうことを防止できるので、シート抵抗の小さな塗布ITO膜447を得ることができる。絶縁基板410を熱処理装置から大気中に取り出すときの温度は、塗布ITO膜447の再酸化を防止するためには100℃以下であることがより望ましい。塗布ITO膜447の比抵抗は膜中の酸素欠陥が多い程低くなるので、大気中の酸素によって塗布ITO膜447の再酸化が起きると比抵抗が増大するからである。

このようにしてスパッタITO膜446および塗布ITO膜447を形成した後、図28(E)に示すようにレジストマスク462を形成し、それらを一括して王水系やHBrなどのエッチング液で、または CH_4 などを用いたドライエッチングによりパターニングして、図26に示すように、画素電極441を形成する。これにより、各画素領域402のそれぞれにTF Tが形成される。従って、走査線Gmを介して供給される制御信号によってTF Tを駆動すれば、画素電極441と対向基板（図示せず。）との間に封入されている液晶には、データ線SnからTF Tを介して画像情報が書き込まれ、所定の表示を行うことができる。

また本実施例では、画素電極441を形成するにあたっては塗布ITO膜447を用いている。この塗布成膜法は段差被覆性に優れているので、図39(B)に示すように、塗布ITO膜447を構成するための液状またはペースト状の塗布材は、コンタクトホール422Aに起因して生じたスパッタITO膜446表

面の凹凸などをスムーズに埋める。また、塗布材を絶縁基板 410 上に塗布すると、塗布 ITO 膜 447 は凹部となっている部分ではその分厚く、凸部となっている部分ではその分薄く形成される。従って、データ線 431 に起因する凹凸も画素電極 441 の表面に反映されない。走査線 415 の上層側においても同様である。それ故、表面に段差のない平坦な画素電極 441 を形成できるので、ラビングを安定に行えとともに、リバースチルトドメインの発生などを防止できる。よって、本発明によれば、表示品位が向上する。

一方図 39 (A) のように、画素電極をスパッタ ITO 膜 446 のみで形成すると、このスパッタ ITO 膜 446 が形成される面の段差にならってスパッタ ITO 膜 446 が形成されてしまう。スパッタ ITO 膜 446 の表面に形成される段差は、不安定なラビングとリバースチルトドメインの原因となって、表示品質を低下させてしまう。しかも、スパッタ ITO 膜 446 は、コンタクトホール 422A を全て埋め込むように形成することが困難であるので、そこに開口部が形成されてしまう。この開口部の存在も、不安定なラビングとリバースチルトドメインの原因となる。従って、塗布 ITO 膜 447 を形成することが有用である。

また、第 4 実施例のように、画素電極 441 とソース電極 431 とを異なる層間に形成することを目的に層間絶縁膜 420 を 2 層構造とした場合には、コンタクトホール 422A のアスペクト比が大きくなるが、塗布 ITO 膜 447 を用いると、平坦な画素電極 441 を形成できるという効果が顕著である。

また、スパッタ ITO 膜 446 は塗布 ITO 膜 447 に比較してレジストマスクとの密着性が悪いという傾向にあるが、本実施例では、塗布 ITO 膜 447 の表面にレジストマスク 462 を形成するので、パターニング精度が低くなるという問題点も生じない。それ故、高精細パターンをもつ画素電極 441 を構成できる。

第 5 実施例

図 29 は、本発明を適用した液晶表示用のアクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図であり、図 30 はその I I I - I I I' 線に相当する位置での断面図である。なお、この第 5 実施例において、第 4 実施例と共通する部分については同一の符号を付してそれらの説明を省略す

る。

図29において、この第5実施例に係る液晶表示用のアクティブマトリクス基板401も、絶縁基板410上がデータ線431と走査線415とによって複数の画素領域402に区画形成され、各画素領域402の各々に対してはTFTが形成されている。

この第5実施例の構造においても、その平面的レイアウトはスパッタITO膜を除いて、第3、第4実施例で説明した図22と同一となるので、データ線 S_n 、 S_{n+1} …および走査線 G_m 、 G_{m+1} …は、それら自身がブラックマトリクスとして機能する。従って、工程数を増やさなくても高品位の表示を行うことができる。

この第5実施例が第4実施例と相違する点は、スパッタITO膜456と塗布ITO膜457とは、後述するように別々にパターニング形成されたものであるため、それらの形成領域は相違し、塗布ITO膜457の形成領域はスパッタITO膜456の形成領域よりも広がっている。

ここで、第4実施例のように、塗布ITO膜とスパッタITO膜とを同一の領域に形成する場合には、両ITO膜を一括してパターニングすることができる。すなわち、レジストマスクは、それとの密着性のよい塗布ITO膜の表面にのみ形成され、レジストマスクとの密着性のわるいスパッタITO膜の表面に形する必要はなかった。それ故、高精細パターンを達成できる。

これに対して第5実施例の場合には、スパッタITO膜の表面にもレジストマスクを形成する必要が生ずる。しかし、塗布ITO膜がスパッタITO膜の形成領域よりも広い領域に形成されている場合には、たとえスパッタITO膜とレジストマスクとの密着性がわるくてパターニング精度が低くても、レジストマスクとの密着性がよい塗布ITO膜のパターニング精度が最終的なパターンを規定するので、高精細パターンを達成できる。

このような構成のアクティブマトリクス基板401の製造方法は、第4実施例で説明した図27(A)～図27(E)に示す工程が共通し、さらに、図31(A)～(C)の工程も共通する。そこで、以下の説明では、図31(D)に示す工程以降の工程のみについて、図31(D)～(F)を参照して説明する。

図31(C)では、下層側層間絶縁膜421の表面にシリコン酸化膜からなる上層側層間絶縁膜422が形成され、かつ、コンタクトホール422Aが形成されている。

次に、図31(D)に示すように、下層側層間絶縁膜421および上層側層間絶縁膜422からなる層間絶縁膜420の表面全体にスパッタ法によりITO膜456(導電性スパッタ膜)を形成する。ここまでの工程も第4実施例と同様である。

但し、この第5実施例では、スパッタITO膜456だけをまず王水系やHBrなどのエッチング液、またはCH₄などを用いたドライエッチングによりパターニングする。すなわち、スパッタITO膜456を形成した後、図31(D)に示すように、レジストマスク464を形成し、それをパターニングする。このレジストマスク464を使用してスパッタITO膜456をエッチングして、図31(E)に示すように、画素電極441の形成予定領域よりも狭い領域にスパッタITO膜456を残す。次にスパッタITO膜456の表面側に塗布ITO膜457(導電性透明塗布膜)を形成する。この塗布ITO膜457の形成にあっても、上述した各実施例にて説明した塗布材を用いることができる。

このようにして塗布ITO膜457を形成した後、図31(F)に示すように、レジストマスク462を形成し、それを王水系やHBrなどのエッチング液、またはCH₄などを用いたドライエッチングによりパターニングして、図30に示すように、画素電極441を形成する。

この第5実施例の構造においても、第4実施例の構造と同様の効果を奏することができる。特に、ドレイン領域416にコンタクトする塗布ITO膜457は、スパッタITO膜に比較してのコンタクト抵抗が高い傾向にあるが、第5実施例では塗布ITO膜457はあくまで、スパッタITO膜456を介してドレイン領域416に電氣的接続しているので、コンタクト抵抗が大きいという問題点を解消できる利点がある。また、スパッタITO膜456は薄くてよいので、たとえレジストマスク464との密着性が悪くても短時間のエッチングで済むので、パターニングに支障がない。また、パターニング精度の高い塗布ITO膜457に対するパターニング精度が画素電極40の最終的なパターン精度を規定するの

で、高精細パターンを達成できる。

第6実施例

図32は、本発明を適用した液晶表示用のアクティブマトリクス基板に区画形成されている画素領域の一部を拡大して示す平面図、図33は、そのIV-IV'線に相当する位置での断面図である。

この第6実施例の特徴的構造は、画素電極441は上層側層間絶縁膜422の表面に塗布成膜された塗布ITO膜468（導電性透明塗布膜）から構成され、この塗布ITO膜468は、下層側層間絶縁膜421の表面にスパッタ法により形成されたアルミニウム膜からなる中継電極466に対して、上層側層間絶縁膜422のコンタクトホール422Aを介して電氣的に接続されている。また、中継電極466は下層側層間絶縁膜421のコンタクトホール421Bを介してドレイン領域416に電氣的に接続されている。従って、画素電極441は、その下層側に位置する中継電極466を介してドレイン領域416に電氣的接続していることになる。

ここで、中継電極466はアルミニウム膜であり、光透過性がないので、開口率を低下させないように、その形成領域はコンタクトホール421Bの内部および周囲に限定されている。

このような構成のアクティブマトリクス基板401の製造方法は、第4の実施例で説明した図27(A)～図27(E)に示す工程が共通する。そこで、以下の説明では、図27(E)に示す工程の後に行う工程のみについて図34(A)～(D)を参照して説明する。

図34(A)に示すように、下層側層間絶縁膜421のうち、ソース領域414およびドレイン領域416に相当する位置にコンタクトホール421A、421Bを形成した後、ソース電極431およびデータ線を形成するためのアルミニウム膜460（導電性スパッタ膜／金属膜）をスパッタ形成する。次に、レジストマスク470を形成し、このレジストマスク470を用いてアルミニウム膜460をパターニングする。この結果、図34(B)に示すように、ソース電極431、データ線、および中継電極466を同時形成する。

次に、図34(C)に示すように、下層側層間絶縁膜421の表面にシリコン

酸化膜からなる上層側層間絶縁膜 422 を CVD 法あるいは PVD 法で形成する。次に、上層側層間絶縁膜 422 のうち、中継電極 466 に相当する位置（ドレイン領域 416 に相当する位置）にコンタクトホール 422A を形成する。

次に、図 34 (D) に示すように、下層側層間絶縁膜 421 および上層側層間絶縁膜 422 からなる層間絶縁膜 420 の表面全体に塗布 ITO 膜 468（導電性透明塗布膜）を形成する。

この塗布 ITO 膜 468 の形成にあたっては、上述した各実施例にて説明した塗布材を用いることができる。

このようにして ITO 膜 468 を形成した後、レジストマスク 462 を形成し、それをパターニングして、図 33 に示すように、画素電極 441 を形成する。

この際にも、図 32 からわかるように、データ線 S_n 、 S_{n+1} …および走査線 G_m 、 G_{m+1} …からなるブラックマトリクスを構成できる。しかも、画素領域 402 の開口率が高くなり、表面に段差のない平坦な画素電極 441 を形成できるので、ラビングを安定に行えとともに、リバースチルトドメインの発生などを防止できる。

また、塗布 ITO 膜 468 からなる画素電極 441 はスパッタ ITO 膜などに比較してドレイン領域 416（シリコン膜）とのコンタクト抵抗が高い傾向にあるが、この第 6 の実施例では塗布 ITO 膜 468 がスパッタ形成したアルミニウム膜からなる中継電極 466 を介してドレイン領域 416 に電氣的接続しているので、コンタクト抵抗が大きいという問題点も解消できる。

なお、本実施例では中継電極 466 としてアルミニウムを用いたが、アルミニウムと高融点金属との 2 層膜を中継電極 466 に用いれば、塗布 ITO 膜 468 とのコンタクト抵抗をより低く抑えることができる。すなわち、タングステンやモリブデンなどの高融点金属はアルミニウムに比して酸化されにくいため、酸素を多量に含む塗布 ITO 膜 468 と接触しても酸化されることがない。それ故、中継電極 466 と塗布 ITO 膜 468 とのコンタクト抵抗を低く保つことができる。

第 7 実施例

図 35 は、本発明を適用した液晶表示用のアクティブマトリクス基板に区画

形成されている画素領域の一部を拡大して示す平面図、図36は、そのV-V'線に相当する位置での断面図である。

この第7実施例は、図18及び図19に示す第2実施例の構造を改良し、中継電極480により塗布ITO膜441とドレイン領域416との電氣的接続を確保した点に特徴がある。

図35において、この第7実施例に係るアクティブマトリクス基板401も、絶縁基板410上がデータ線431と走査線415とによって複数の画素領域402に区画形成され、各画素領域402の各々に対してはTFT（画素スイッチング用の非線型素子）が形成されている。ここで、画素電極の平坦化やそのコンタクト抵抗の低減だけを目的とするのであれば、以下のように構成できる。

すなわち、図36に示すように、第7実施例では、層間絶縁膜421は、1層のシリコン酸化膜だけからなっている。

塗布ITO膜から成る画素電極441は、その下層側において層間絶縁膜421の表面にスパッタ法により形成されたアルミニウム膜（導電性スパッタ膜／金属膜）からなる中継電極480の表面側に形成されている。従って、画素電極441は中継電極480を介してドレイン領域416に電氣的に接続されている。ここでも、中継電極480はアルミニウム膜であり、光透過性がないので、その形成領域はコンタクトホール421Bの内部およびその周囲のみに限定されている。

この第7実施例では、画素電極441はソース電極431と同一の層間に構成されているので、これらの電極同士が短絡しないように配置される。（図35、図36参照）

このような構成のアクティブマトリクス基板401の製造方法は、第4実施例で説明した図27（A）～図27（E）に示す工程が概ね共通する。そこで、以下の説明では、図27（E）に示す工程の後に行う工程のみについて図37（A）～図37（C）を参照して説明する。

図37（A）に示すように、層間絶縁膜421のうち、ソース領域414およびドレイン領域416に相当する位置にコンタクトホール421A、421Bを形成する。次に、ソース電極431およびデータ線を形成するためのアルミニウ

ム膜 460 をスパッタ形成した後、レジストマスク 470 を形成する。次に、レジストマスク 470 を用いてアルミニウム膜 460 をパターンニングして、図 37 (B) に示すように、ソース電極 431、データ線、および中継電極 480 を形成する。

次に、図 37 (C) に示すように、層間絶縁膜 421 の表面側全体に塗布 ITO 膜 482 (導電性透明塗布膜) を形成する。この塗布 ITO 膜 482 を形成するにあたっては、上述した各実施例の塗布材を用いることができる。

このようにして塗布 ITO 膜 482 を形成した後、レジストマスク 484 を形成し、それを用いて ITO 膜 482 をパターンニングして、図 36 に示すように、画素電極 441 を形成する。

この第 7 実施例でも画素電極 441 を形成するにあたっては、段差被覆性に優れている塗布成膜法を用いるため、表面に段差のない平坦な画素電極 441 を形成できる。従って、ラビングを安定に行えとともに、リバースチルトドメインの発生などを防止できる。また、中継電極が介在することで、塗布成膜法により形成した ITO 膜からなる画素電極 441 とド레인領域 416 とのコンタクト抵抗が高くなる問題を解消できる。

なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

例えば、第 6、第 7 実施例では、工程数を最小限とするという観点から中継電極 466、480 をソース電極 431 およびデータ線と同時形成してそれらと同一材質からなる金属膜 (アルミニウム膜) から構成した。これに代えて、図 38 (A) に示すように、層間絶縁膜 420 を下層側層間絶縁膜 421 および上層側層間絶縁膜 422 から構成した場合に、塗布成膜により形成した ITO 膜からなる画素電極 441 および導電性スパッタ膜から形成した中継電極 486 の双方を、上層側層間絶縁膜 422 の表面上に形成してもよい。このように構成した場合には、第 6 実施例と違って、画素電極 441 の形成領域を拡張できるので、データ線および走査線をブラックマトリクスとして利用できる。また、中継電極 486 (導電性スパッタ膜) をソース電極 431 と異なる工程で形成することになるので、その材質についてはソース電極 431 と同一の金属材料、あるいは異なる

る材料のいずれであつてもよい。

また、第6、第7実施例ではいずれも、層間絶縁膜のコンタクトホールが存在が画素電極の表面形状に影響を及ぼしやすいプレーナ型のTFETを例に説明したが、逆スタガ型等のTFETに本発明を適用することも可能である。特に、凹凸のある領域の上に画素電極を形成せざるを得ない場合に、本発明のように塗布成膜により形成した導電性透明塗布膜を用いた画素電極を形成すれば、かかる凹凸が画素電極の表面形状に及ぼす影響を除去することができる。

たとえば、図38(B)に示す逆スタガ型のTFETにおいて、画素電極441に塗布ITO膜を用いれば、画素電極441表面の平坦化を図ることができる。図38(B)に示すTFETでは、絶縁基板410の表面側に下地保護膜411、ゲート電極415、ゲート絶縁膜413、チャネル領域417を構成する真性のアモルファスシリコン膜、およびチャネル保護用の絶縁膜490がこの順序で積層されている。チャネル保護用の絶縁膜490の両側には高濃度N型のアモルファスシリコン膜がソース・ドレイン領域414、416が構成され、これらのソース・ドレイン領域414、416の表面にはクロム、アルミニウム、チタンなどのスパッタ膜からなるソース電極431および中継電極492が構成されている。さらに、それらの表面側には層間絶縁膜494および画素電極441が構成されている。ここで、画素電極441は塗布ITO膜から構成されているので、表面が平坦である。また、画素電極441は、層間絶縁膜441のコンタクトホールを介して中継電極496に電氣的接続している。すなわち、画素電極441は、スパッタ膜からなる中継電極496を介してドレイン領域416に電気接続しているため、塗布ITO膜からなる画素電極441はドレイン領域416（シリコン膜）とのコンタクト抵抗が高いという問題を解消できる。さらに、画素電極441は、ソース電極431と異なる層間に構成されているため、これらの電極が短絡することがない。それ故、画素電極441がデータ線や走査線（図示せず）に被さる位まで画素電極441を広い領域に形成できるので、データ線や走査線自身をブラックマトリクスとして利用できるとともに、画素領域の開口率を高めることができる。

さらに画素電極を形成するにあたって、液状の塗布材から塗布ITO膜を形成

するためスピンコート法を用いたが、ペースト状の塗布材を用いれば印刷法を用いて塗布ITO膜を形成することができる。さらに、ペースト状の塗布材を用いればスクリーン印刷を利用することもできるので、画素電極を形成すべき領域のみにペースト状の塗布材を印刷し、それに乾燥、熱処理を行ったものをそのまま画素電極として用いてもよい。この場合にはエッチングによるITO膜に対するパターンングが不要であるため、製造コストを大幅に低減できるという利点がある。

なお、第2実施例～第7実施例は、画素電極のみを塗布膜にて形成する例を説明したが、第1実施例にて説明した通り、画素電極以外の絶縁層、導電層、半導体層のいずれかを塗布膜にて形成できることは言うまでもない。

第8実施例

上述の実施例の液晶表示装置を用いて構成される電子機器は、図40に示す表示情報出力源1000、表示情報処理回路1002、表示駆動回路1004、液晶パネルなどの表示パネル1006、クロック発生回路1008及び電源回路1010を含んで構成される。表示情報出力源1000は、ROM、RAMなどのメモリ、テレビ信号を同調して出力する同調回路などを含んで構成され、クロック発生回路1008からのクロックに基づいて、ビデオ信号などの表示情報を出力する。表示情報処理回路1002は、クロック発生回路1008からのクロックに基づいて表示情報を処理して出力する。この表示情報処理回路1002は、例えば増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路あるいはクランプ回路等を含むことができる。表示駆動回路1004は、走査側駆動回路及びデータ側駆動回路を含んで構成され、液晶パネル1006を表示駆動する。電源回路1010は、上述の各回路に電力を供給する。

このような構成の電子機器として、図41に示す液晶プロジェクタ、図42に示すマルチメディア対応のパーソナルコンピュータ(PC)及びエンジニアリング・ワークステーション(EWS)、図43に示すページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

図41に示す液晶プロジェクタは、透過型液晶パネルをライトバルブとして用いた投写型プロジェクタであり、例えば3板プリズム方式の光学系を用いている。

図41において、プロジェクタ1100では、白色光源のランプユニット1102から射出された投写光がライトガイド1104の内部で、複数のミラー1106および2枚のダイクロイックミラー1108によってR、G、Bの3原色に分けられ、それぞれの色の画像を表示する3枚の液晶パネル1110R、1110Gおよび1110Bに導かれる。そして、それぞれの液晶パネル1110R、1110Gおよび1110Bによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。ダイクロイックプリズム1112では、レッドRおよびブルーBの光が90°曲げられ、グリーンGの光が直進するので各色の画像が合成され、投写レンズ1114を通してスクリーンなどにカラー画像が投写される。

図42に示すパーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示画面1206とを有する。

図43に示すページャ1300は、金属製フレーム1302内に、液晶表示基板1304、バックライト1306aを備えたライトガイド1306、回路基板1308、第1、第2のシールド板1310、1312、2つの弾性導電体1314、1316、及びフィルムキャリアテープ1318を有する。2つの弾性導電体1314、1316及びフィルムキャリアテープ1318は、液晶表示基板1304と回路基板1308とを接続するものである。

ここで、液晶表示基板1304は、2枚の透明基板1304a、1304bの間に液晶を封入したもので、これにより少なくともドットマトリクス型の液晶表示パネルが構成される。一方の透明基板に、図40に示す駆動回路1004、あるいはこれに加えて表示情報処理回路1002を形成することができる。液晶表示基板1304に搭載されない回路は、液晶表示基板の外付け回路とされ、図43の場合には回路基板1308に搭載できる。

図43はページャの構成を示すものであるから、液晶表示基板1304以外に回路基板1308が必要となるが、電子機器用の一部品として液晶表示装置が使用される場合であって、透明基板に表示駆動回路などが搭載される場合には、そ

の液晶表示装置の最小単位は液晶表示基板1304である。あるいは、液晶表示基板1304を筐体としての金属フレーム1302に固定したものを、電子機器用の一部品である液晶表示装置として使用することもできる。さらに、バックライト式の場合には、金属製フレーム1302内に、液晶表示基板1304と、バックライト1306aを備えたライトガイド1306とを組み込んで、液晶表示装置を構成することができる。これらに代えて、図44に示すように、液晶表示基板1304を構成する2枚の透明基板1304a, 1304bの一方に、金属の導電膜が形成されたポリイミドテープ1322にICチップ1324を実装したTCP (Tape Carrier Package) 1320を接続して、電子機器用の一部品である液晶表示装置として使用することもできる。

請 求 の 範 囲

1. 少なくとも1層の絶縁層と少なくとも1層の導電層を含む複数層の薄膜から成る薄膜積層構造を有する薄膜デバイスであって、

前記薄膜積層構造のうちの少なくとも1層の前記薄膜が、該薄膜の構成成分を含む液体が塗布された後に熱処理されて得られる塗布膜（シロキサン結合を基本構造とするSpin On Glass膜を除く）にて形成されていることを特徴とする薄膜デバイス。

2. 請求項1において、

前記薄膜積層構造は半導体層を含むことを特徴とする薄膜デバイス。

3. 請求項2において、

前記薄膜積層構造は、ソース領域、ドレイン領域及びその間のチャネル領域を有するシリコン半導体層と、ゲート絶縁層と、ゲート電極と、を有する薄膜トランジスタを含むことを特徴とする薄膜デバイス。

4. 請求項3において、

前記薄膜トランジスタの下層に、下地絶縁層をさらに有することを特徴とする薄膜デバイス。

5. 請求項3または4において、

前記ソース領域に接続されるソース電極と、

前記ドレイン領域に接続されるドレイン電極と、

前記ゲート電極、ソース電極及びドレイン電極を絶縁する1層以上の層間絶縁層と、

をさらに有することを特徴とする薄膜デバイス。

6. 請求項3乃至5のいずれかにおいて、

前記薄膜トランジスタの上層に、保護用絶縁層をさらに有することを特徴とする薄膜デバイス。

7. 請求項3乃至6のいずれかにおいて、

前記薄膜積層構造に含まれる全ての前記絶縁層が、前記塗布膜にて形成されていることを特徴とする薄膜デバイス。

8. 請求項4乃至6のいずれかにおいて、

前記ゲート絶縁層以外の全ての前記絶縁層が前記塗布膜にて形成されていることを特徴とする薄膜デバイス。

9. 請求項1乃至6のいずれかにおいて、

前記薄膜積層構造に含まれる2層以上の前記薄膜が、前記塗布膜にて形成されていることを特徴とする薄膜デバイス。

10. 請求項1乃至9のいずれかにおいて、

前記少なくとも1層の絶縁層は、Si-N結合を有するポリマーを含む液体が塗布されかつ酸素雰囲気にて第1の熱処理がなされて得られるSiO₂の塗布膜にて形成されていることを特徴とする薄膜デバイス装置。

11. 請求項10において、

前記少なくとも1層の絶縁層は、前記第1の熱処理後に該第1の熱処理よりも高温にて第2の熱処理がなされて、前記第1の熱処理後よりもその界面が清浄にされていることを特徴とする薄膜デバイス。

12. 請求項2乃至9のいずれかにおいて、

前記半導体層は、シリコン粒子を含む液体が塗布されかつ第1の熱処理がなされたシリコン塗布膜中に、不純物が含有されていることを特徴とする薄膜デバイス。

13. 請求項12において、

前記半導体層は、前記第1の熱処理後に該第1の熱処理よりも高温にて第2の熱処理がなされて、前記第1の熱処理後よりもその結晶性が向上されていることを特徴とする薄膜デバイス。

14. 請求項1乃至9のいずれかにおいて、

前記少なくとも1層の導電層は、導電性粒子を含む液体が塗布されかつ第1の熱処理がなされた導電性塗布膜にて形成されていることを特徴とする薄膜デバイス。

15. 請求項14において、

前記少なくとも1層の導電層は、前記第1の熱処理後に該第1の熱処理よりも高温にて第2の熱処理がなされて、前記第1の熱処理後よりも低抵抗にされてい

ることを特徴とする薄膜デバイス。

16. 請求項14において、

前記導電性塗布膜は塗布ITO膜であることを特徴とする薄膜デバイス。

17. 請求項16において、

前記塗布ITO膜表面に金属メッキがなされていることを特徴とする薄膜デバイス。

18. 請求項13乃至17のいずれかにおいて、

前記少なくとも1層の導電層は、そのコンタクト面に、スパッタにより形成された導電性スパッタ膜をさらに有することを特徴とする薄膜デバイス。

19. 請求項1において、

前記薄膜積層構造は、複数のデータ線と複数の走査線の各交点付近に形成される各画素毎に配置された画素スイッチング素子と、それに接続された画素電極とを含むことを特徴とする薄膜デバイス。

20. 請求項19において、

前記画素スイッチング素子が薄膜トランジスタであることを特徴とする薄膜デバイス。

21. 請求項20において、

前記薄膜トランジスタは、

前記データ線に電氣的に接続されるソース領域と、

前記走査線に電氣的に接続されるゲート電極と、

前記画素電極に電氣的に接続されるドレイン電極と、

を含み、

前記画素電極が導電性塗布膜にて形成されていることを特徴とする薄膜デバイス。

22. 請求項21において、

前記導電性塗布膜が塗布ITO膜であることを特徴とする薄膜デバイス。

23. 請求項21または22において、

前記薄膜トランジスタは、前記ゲート電極の表面側に形成された層間絶縁膜を有し、前記データ線および前記画素電極が、前記層間絶縁膜に形成されたコンタ

クトホールを介して、前記ソース領域および前記ドレイン領域にそれぞれ電氣的接続されることを特徴とする薄膜デバイス。

24. 請求項23において、

前記層間絶縁膜は、下層側に位置する下層側層間絶縁膜と、該下層側層間絶縁膜の表面に形成された上層側層間絶縁膜とを有し、

前記データ線は、前記下層側層間絶縁膜に形成された第1のコンタクトホールを介して前記ソース領域に電氣的に接続され、

前記画素電極は、前記下層側層間絶縁膜および前記上層側層間絶縁膜に形成された第2のコンタクトホールを介して、前記ドレイン領域に電氣的接続され、

前記画素電極の外周縁が前記データ線および前記走査線の上方に位置していることを特徴とする薄膜デバイス。

基板。

25. 請求項23または24において、

前記導電性塗布膜にて形成された前記画素電極は、導電性スパッタ膜を介して前記ドレイン電極と電氣的に接続されることを特徴とする薄膜デバイス。

26. 請求項25において、

前記導電性スパッタ膜がスパッタITO膜であることを特徴とする薄膜デバイス。

27. 請求項25または26において、

前記導電性塗布膜と前記導電性スパッタ膜とが同一パターンであることを特徴とする薄膜デバイス。

28. 請求項25または26において、

前記導電性塗布膜の外周縁が、前記導電性スパッタ膜の外周縁よりも外側に位置していることを特徴とする薄膜デバイス。

29. 請求項25乃至28のいずれかにおいて、

前記導電性スパッタ膜が前記データ線と同層に位置し、かつ同一金属材料にて形成されていることを特徴とする薄膜デバイス。

30. 請求項25乃至28のいずれかにおいて、

前記導電性スパッタ膜が前記データ線よりも上層に位置していることを特徴と

する薄膜デバイス。

3 1. 請求項 2 3 において、

前記層間絶縁膜は、下層側に位置する下層側層間絶縁膜と、該下層側層間絶縁膜の表面に積層された上層側層間絶縁膜とを備え、前記上層側層間絶縁膜の表面上には、前記データ線と同層にて形成される導電性スパッタ膜が設けられ、

前記データ線は、前記下層側層間絶縁膜に形成された第 1 のコンタクトホールを介して前記ソース領域に電氣的に接続され、

前記導電性スパッタ膜は、前記上層側層間絶縁膜および前記下層側層間絶縁膜に形成された第 2 のコンタクトホールを介して前記ドレイン領域に電氣的に接続され、

前記導電性スパッタ膜の表面上に前記導電性塗布膜が積層されていることを特徴とする薄膜デバイス。

リクス基板。

3 2. 請求項 2 3 において、

前記層間絶縁膜は、下層側に位置する下層側層間絶縁膜と、該下層側層間絶縁膜の表面に積層された上層側層間絶縁膜とを備え、前記下層側層間絶縁膜の表面上に前記データ線と同層で形成される前記導電性スパッタ膜が設けられ、

前記データ線は前記下層側層間絶縁膜に形成された第 1 のコンタクトホールを介して前記ソース領域に電氣的に接続され、

前記導電性スパッタ膜は前記下層側層間絶縁膜に形成された第 2 のコンタクトホールを介して前記ドレイン領域に電氣的に接続され、

前記導電性塗布膜は、前記上層側層間絶縁膜の表面上に積層され、前記上層側層間絶縁膜に形成された第 3 のコンタクトホールを介して前記導電性スパッタ膜に電氣的に接続されていることを特徴とする薄膜デバイス。

3 3. 請求項 1 9 乃至 3 2 のいずれかに記載の薄膜デバイスが形成されたアクティブマトリクス基板と、

前記アクティブマトリクス基板と対向して配置される対向基板と、

前記アクティブマトリクス基板と前記対向基板間に封入された液晶層と、
を有することを特徴とする液晶パネル。

34. 請求項34に記載の液晶パネルを有することを特徴とする電子機器。

35. 基板上に、少なくとも1層の導電層と少なくとも1層の絶縁層とを含む複数層の薄膜から成る薄膜積層構造を有する薄膜デバイスの製造方法であって、

前記薄膜積層構造のうちの少なくとも1層の前記薄膜の形成工程は、

前記基板上に、該薄膜の構成成分を含む塗布液を塗布する工程と、

前記基板上の塗布面に熱処理を施して塗布膜（シロキサン結合を基本構造とするSpin On Glass膜を除く）を形成する工程と、

を有することを特徴とする薄膜デバイスの製造方法。

36. 請求項35において、

前記少なくとも1層の絶縁層の形成工程は、

Si-N結合を有するポリマーを含む塗布液を前記基板上に塗布する第1工程と、

その塗布面に酸素雰囲気にて第1の熱処理を施してSiO₂の絶縁性塗布膜を形成する第2工程と、

を有し、前記少なくとも1層の絶縁層を前記絶縁性塗布膜にて形成することを特徴とする薄膜デバイス装置の製造方法。

37. 請求項36において、

前記第2工程後に、前記第1の熱処理よりも高温にて前記基板に第2の熱処理を施して、前記第1の熱処理後よりも前記少なくとも1層の絶縁層の界面を清浄にする第3工程をさらに有することを特徴とする薄膜デバイス。

38. 請求項37において、

前記第2の熱処理をレーザアニールまたはランプアニールにて実施することを特徴とする薄膜デバイスの製造方法。

39. 請求項35において、

前記薄膜積層構造はシリコン半導体層をさらに有し、

前記シリコン半導体層の形成工程は、

シリコン粒子を含む塗布液を前記基板上に塗布する第1工程と、

その塗布面に第1の熱処理を施してシリコン塗布膜を形成する第2工程と、

前記シリコン塗布膜中に不純物を含有させて前記シリコン半導体層を形成する

第3工程と、

を有することを特徴とする薄膜デバイスの製造方法。

40. 請求項39において、

前記第2工程後に、前記第1の熱処理よりも高温にて第2の熱処理を施して、前記第1の熱処理後よりも前記シリコン塗布膜の結晶性を向上させる第4工程をさらに有することを特徴とする薄膜デバイスの製造方法。

41. 請求項40において、

前記第2の熱処理をレーザアニールまたはランプアニールにて実施することを特徴とする薄膜デバイスの製造方法。

42. 請求項39乃至41のいずれかにおいて、

前記第3工程は、

前記シリコン塗布膜上に、不純物含有層を塗布形成する工程と、

前記不純物含有層を加熱して、前記不純物を前記シリコン塗布膜中に拡散させる工程と、

を含むことを特徴とする薄膜デバイスの製造方法。

43. 請求項35において、

前記少なくとも1層の導電層の形成工程は、

導電性粒子を含む塗布液を前記基板上に塗布する第1工程と、

その塗布面に第1の熱処理を施して導電性塗布膜を形成する第2工程と、

を有し、前記少なくとも1層の導電層を前記導電性塗布膜にて形成することを特徴とする薄膜デバイスの製造方法。

44. 請求項43において、

前記第2工程後に、前記第1の熱処理よりも高温にて第2の熱処理を施して、前記第1の熱処理後よりも前記導電性塗布膜を低抵抗にする第3工程をさらに有することを特徴とする薄膜デバイスの製造方法。

45. 請求項44において、

前記第2の熱処理をレーザアニールまたはランプアニールにて実施することを特徴とする薄膜デバイスの製造方法。

46. 請求項35において、

前記少なくとも1層の導電層の形成工程は、

前記塗布面を酸素雰囲気もしくは非還元性雰囲気にて熱処理する第1熱処理工程と、

前記塗布面を水素雰囲気もしくは還元性雰囲気にて熱処理する第2熱処理工程と、

を有し、前記少なくとも1層の導電層を透明導電性塗布膜にて形成することを特徴とする薄膜デバイスの製造方法。

47. 請求項46において、

前記第2熱処理工程での熱処理温度を、前記第1熱処理工程での熱処理温度よりも低く設定したことを特徴とする薄膜デバイスの製造方法。

48. 請求項46または47において、

前記第2熱処理工程後に、前記基板の温度が200℃以下になるまで、非酸化雰囲気に保持することを特徴とする薄膜デバイスの製造方法。

49. 請求項46乃至48のいずれかにおいて、

インジウム(In)及びスズ(Sn)を含む塗布液を前記基板上に塗布し、前記透明導電性塗布膜を塗布ITO膜にて形成することを特徴とする薄膜デバイスの製造方法。

50. 請求項49において、

前記第2熱処理工程後に、前記塗布ITO膜表面に金属メッキを施す工程をさらに有することを特徴とする薄膜デバイスの製造方法。

51. 請求項49において、

前記塗布ITO膜のコンタクト面に、導電性スパッタ膜をスパッタ法により形成する工程をさらに有することを特徴とする薄膜デバイスの製造方法。

52. 請求項35乃至51において、

前記液体の塗布工程では、前記基板上の塗布領域にのみ前記液体を塗布して、パターニングされた塗布膜を基板上に形成することを特徴とする薄膜デバイスの製造方法。

53. 複数の吐出口を有する塗布液吐出ノズルを用意し、

基板と前記複数の塗布液吐出ノズルとの位置を相対的に変化させながら、基板

上の塗布領域にのみ前記塗布液を吐出して、パターンニングされた塗布膜を基板上に形成することを特徴とする薄膜デバイスの製造方法。

54. 請求項53において、

複数の前記吐出口は、前記塗布液の吐出状態及び非吐出状態がそれぞれ独立に制御され、各々の前記吐出口での塗布タイミングを制御しながら、前記基板と前記複数の塗布液吐出ノズルとの位置を相対的に変化させることを特徴とする薄膜デバイスの製造方法。

55. 請求項53または54において、

前記塗布液がレジスト液であり、前記レジスト液を所定のパターンに従って塗布した後に、熱処理して、レジスト膜をパターン形成することを特徴とする薄膜デバイスの製造方法。

56. 請求項53または54において、

前記塗布液が前記基板上にパターン形成される薄膜の構成成分を含む液であり、前記塗布液を所定のパターンに従って塗布した後に、熱処理して前記薄膜をパターン形成することを特徴とする薄膜デバイスの製造方法。

57. 請求項56において、

前記薄膜は、所定パターンの導電層であることを特徴とする薄膜デバイスの製造方法。

58. 請求項56において、

前記薄膜は、所定パターンの絶縁層であることを特徴とする薄膜デバイスの製造方法。

59. 請求項58において、

前記絶縁層には、コンタクトホールが同時に形成されることを特徴とする薄膜デバイスの製造方法。

FIG. 1

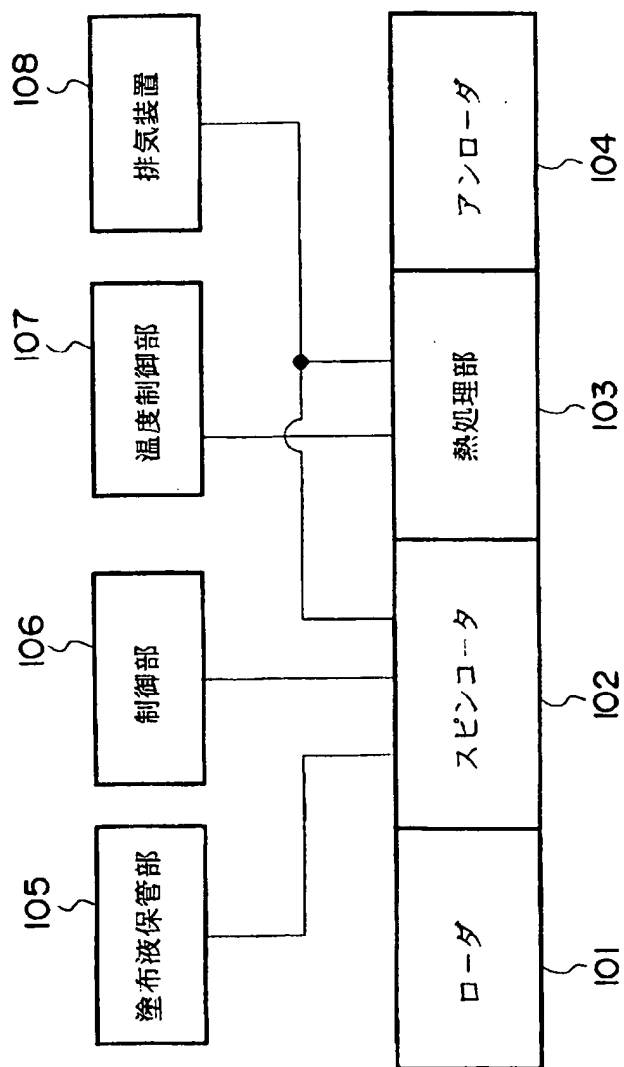


FIG. 2

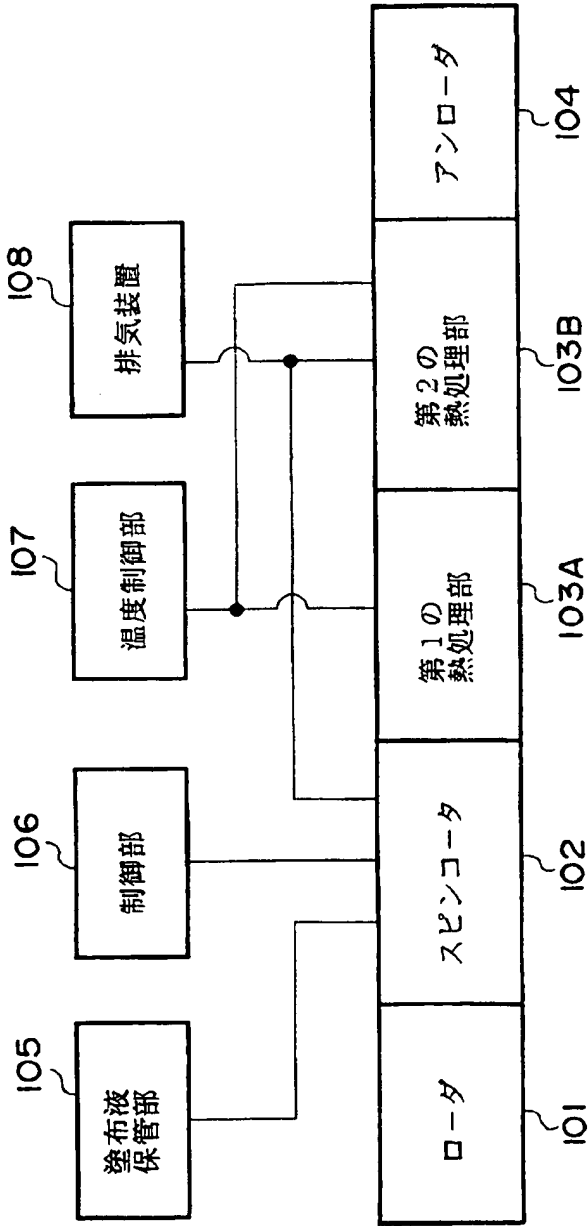


FIG. 5

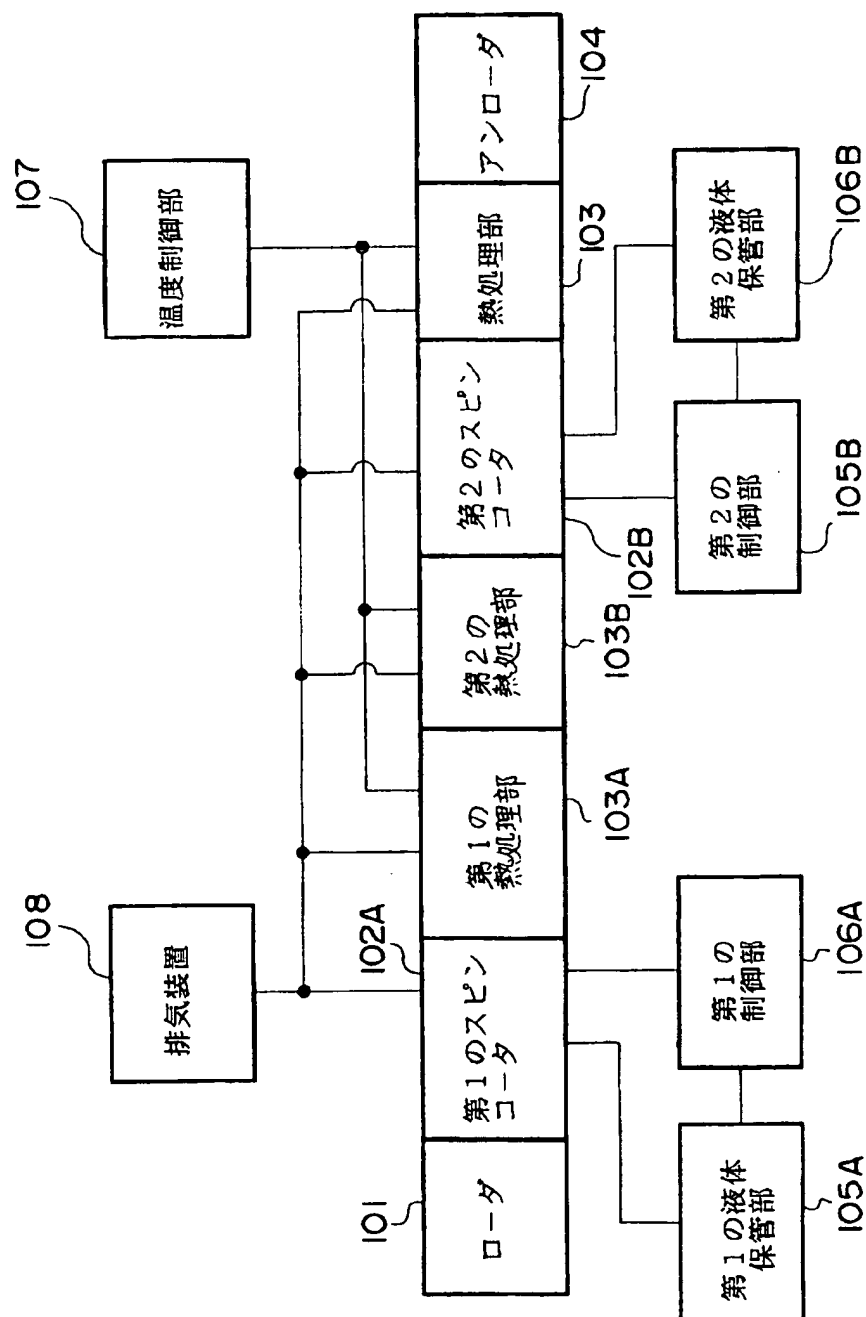


FIG. 6

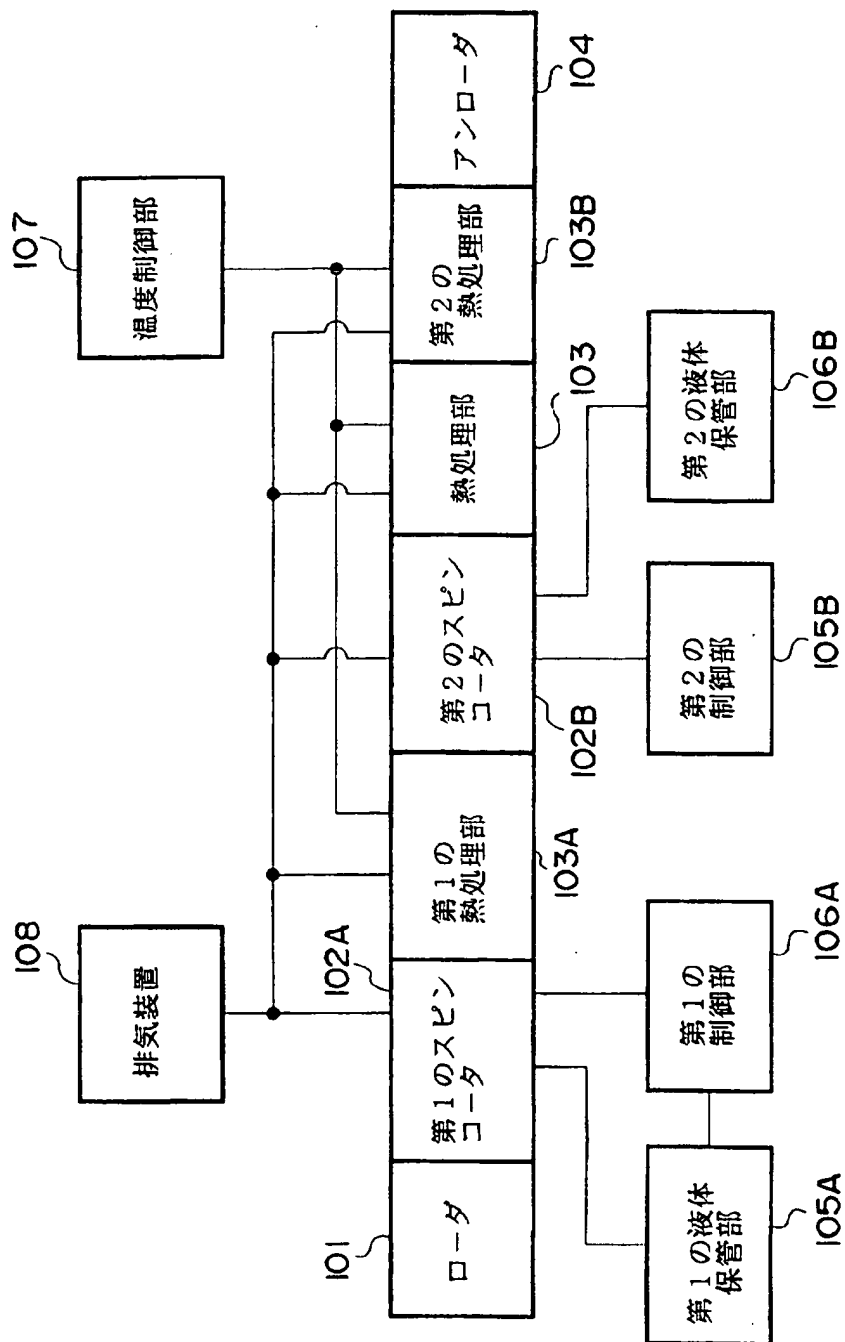


FIG. 3

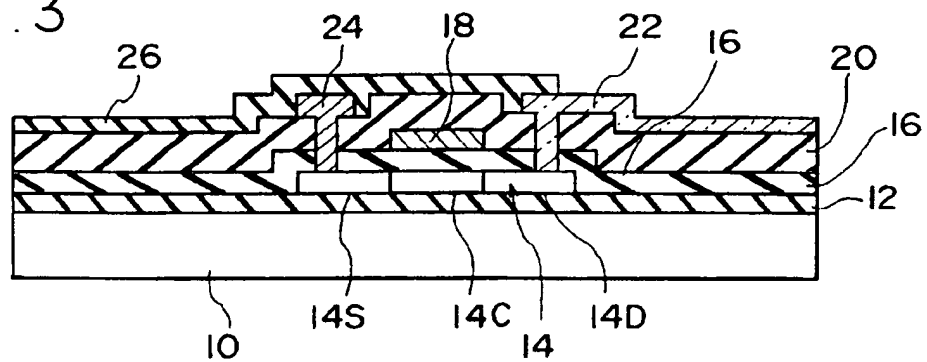


FIG. 4

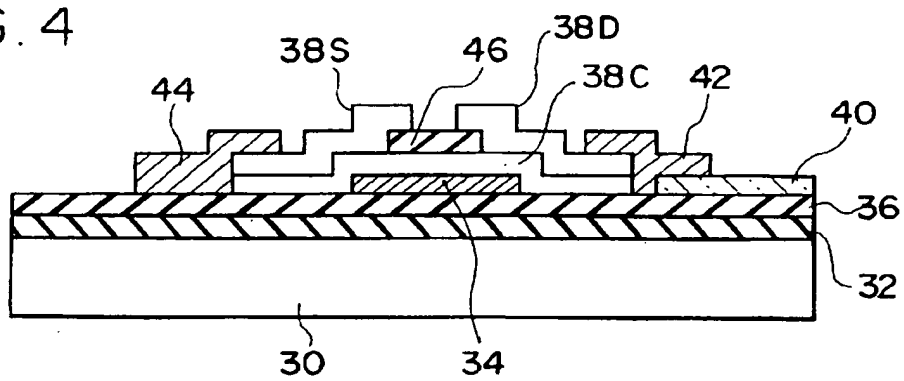


FIG. 7

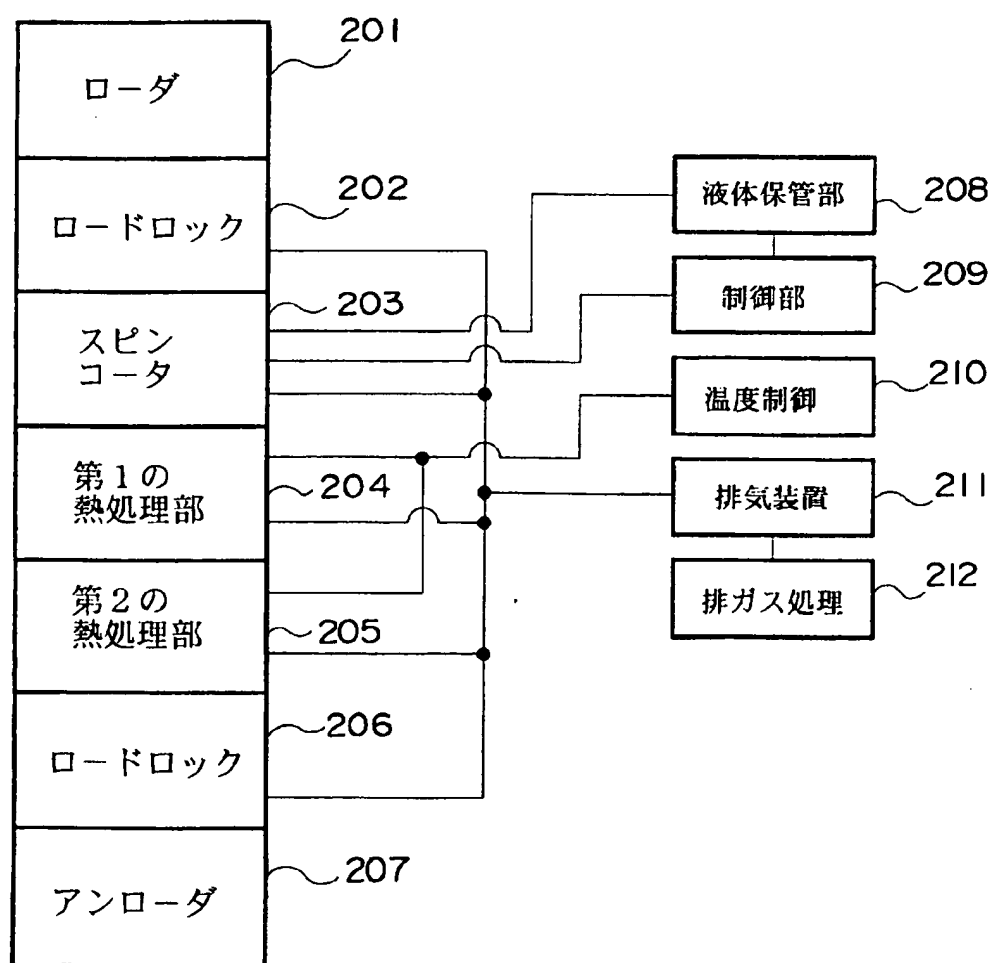


FIG. 8

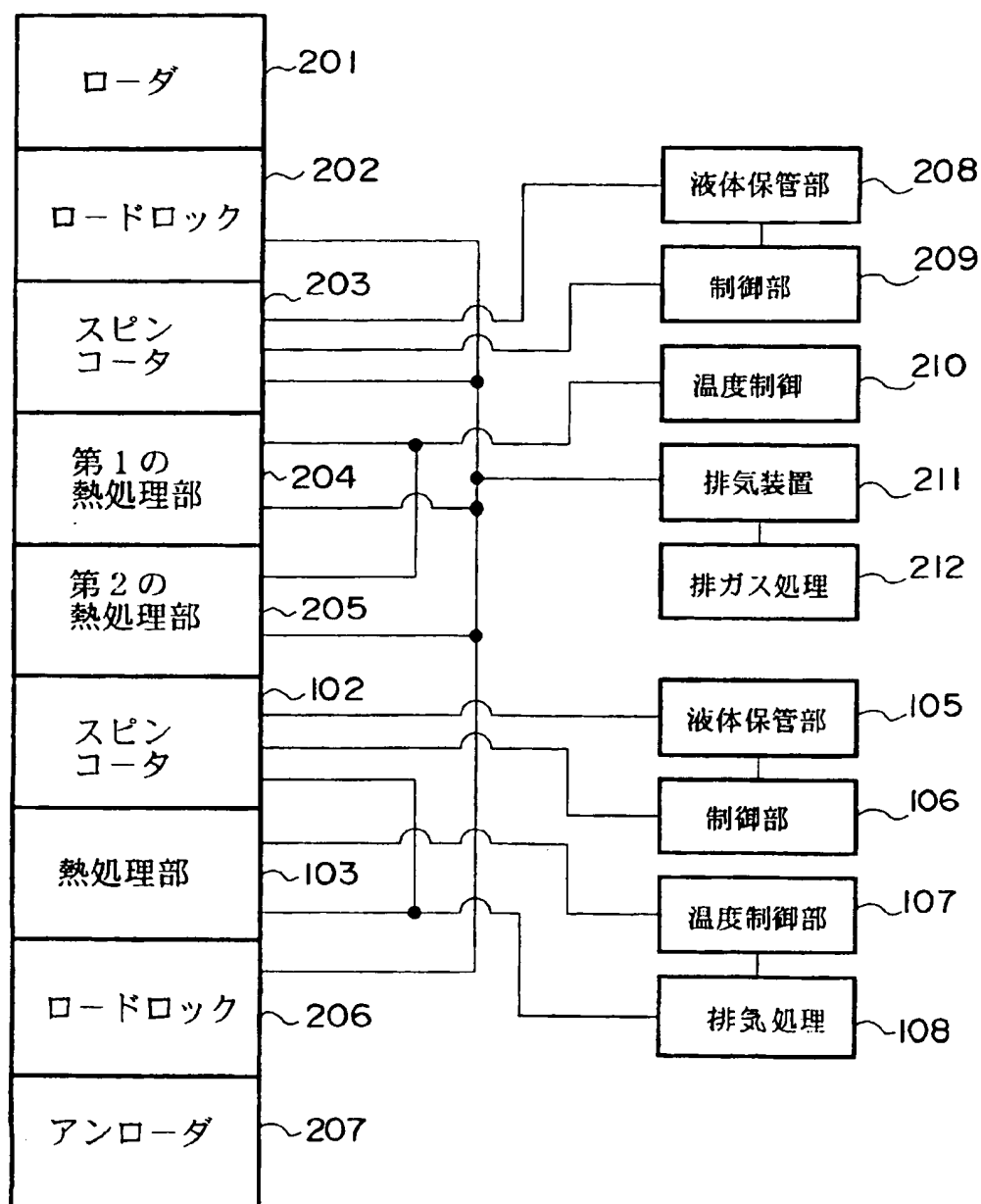


FIG. 9

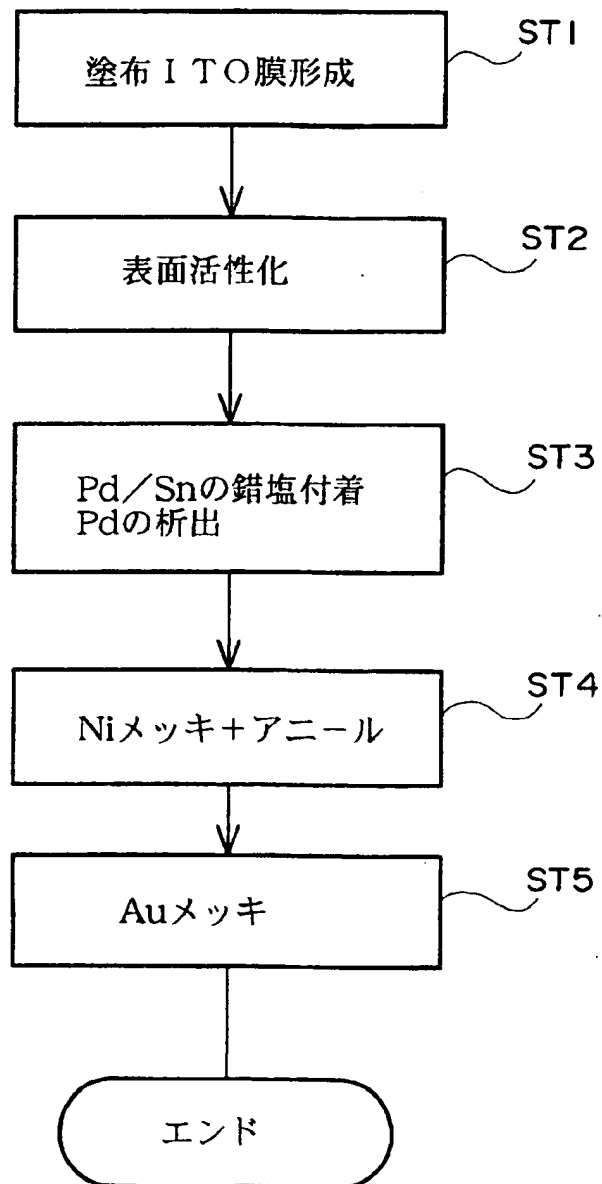
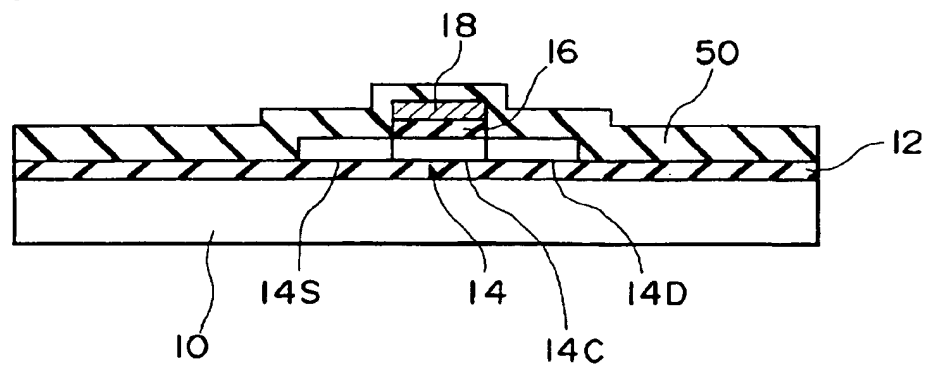


FIG. 10



10/39

FIG. 11

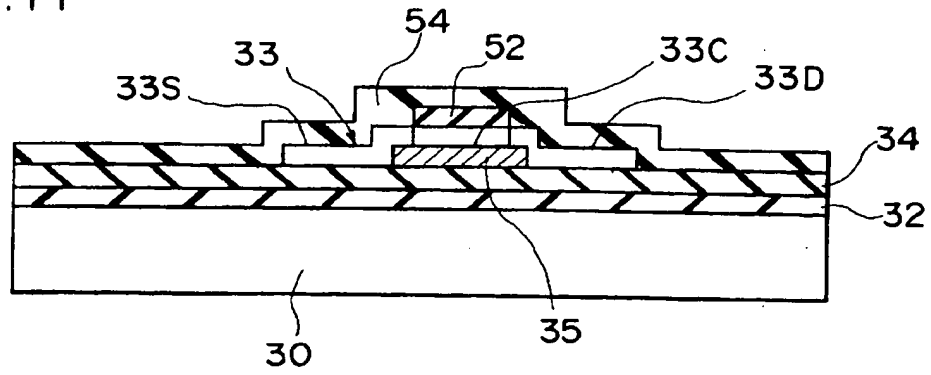


FIG. 12

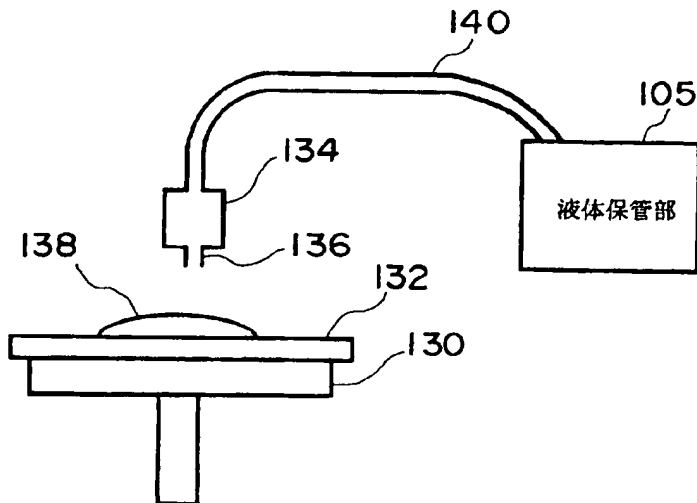


FIG. 13

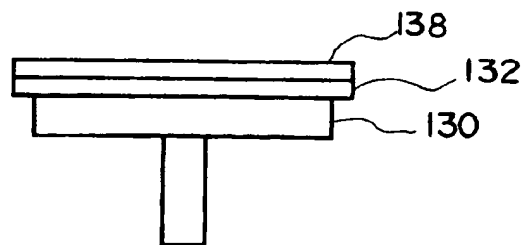


FIG. 14

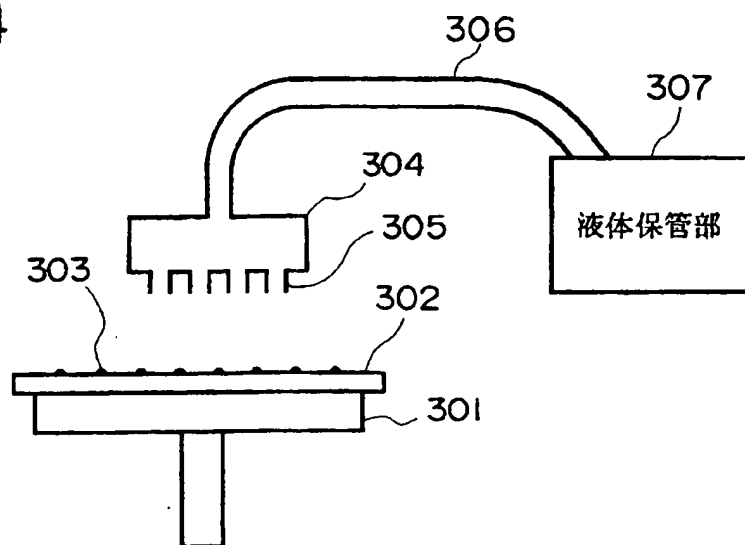


FIG. 15

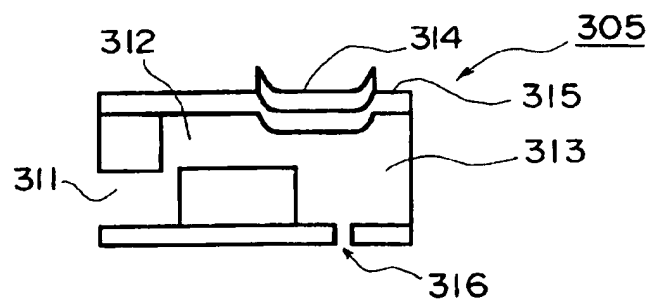
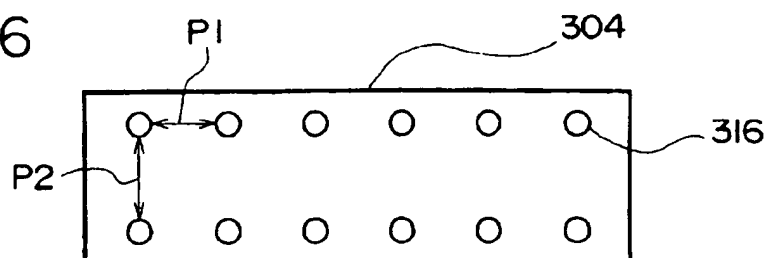


FIG. 16



12/39

FIG. 17

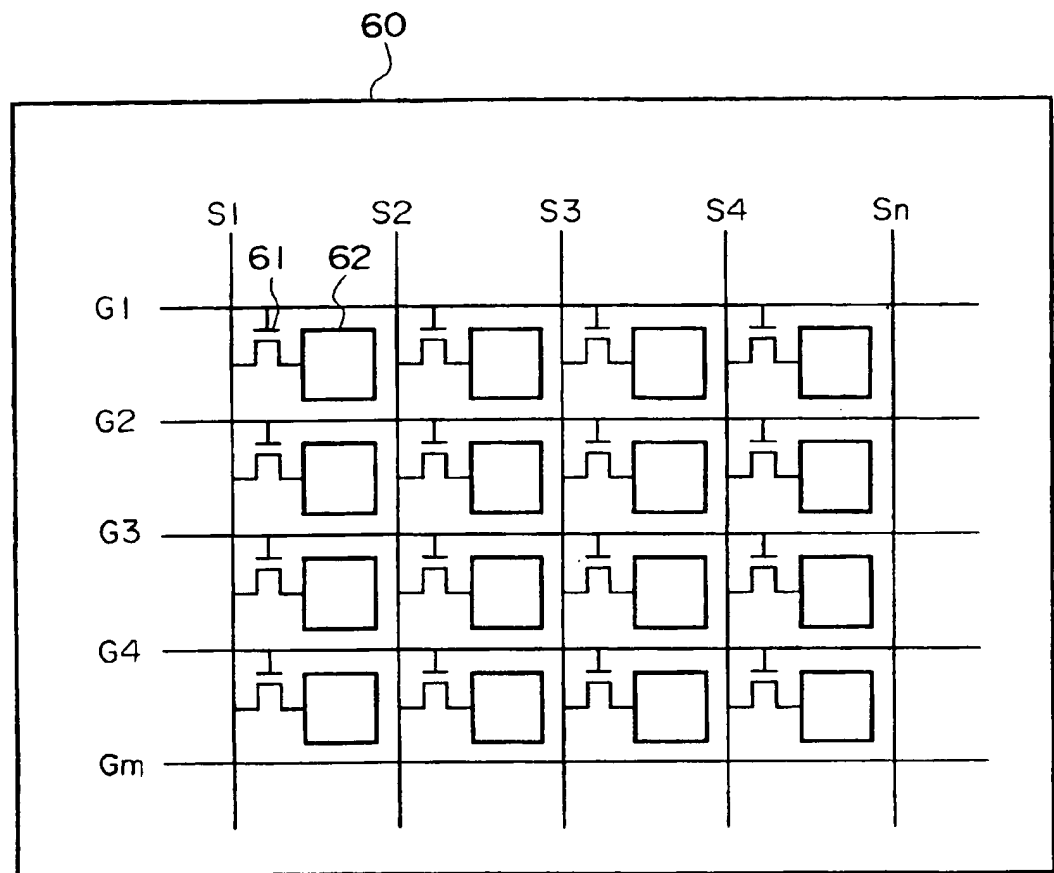


FIG. 19

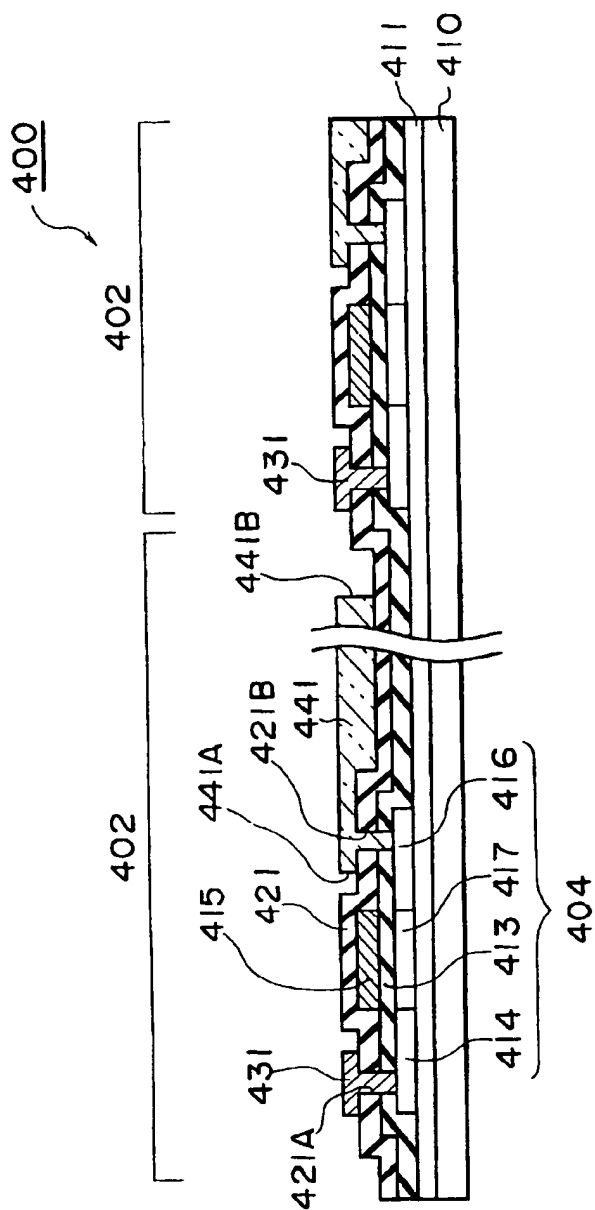
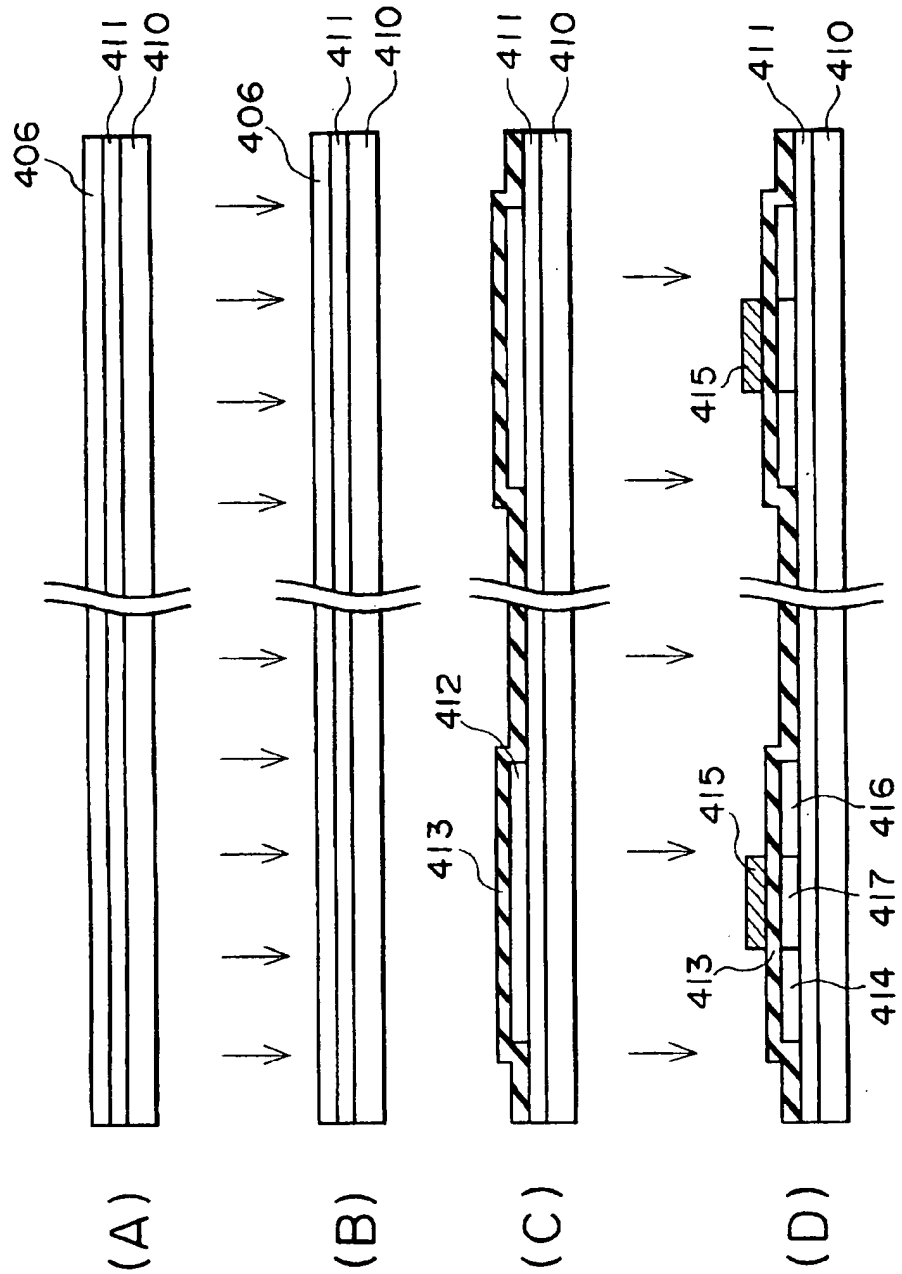


FIG. 20



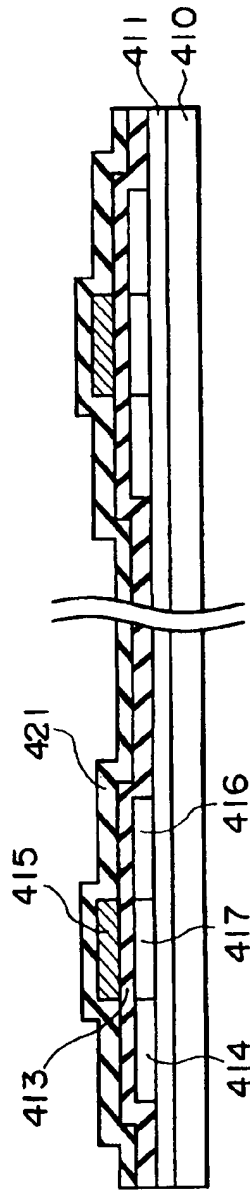


FIG. 21A

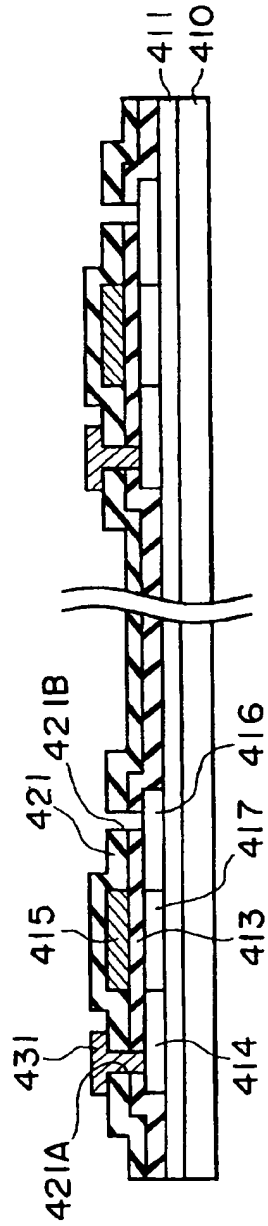


FIG. 21B

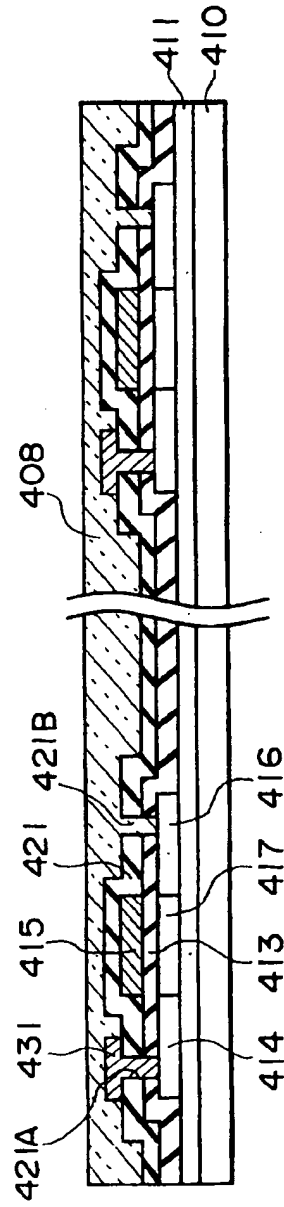


FIG. 21C

FIG. 22

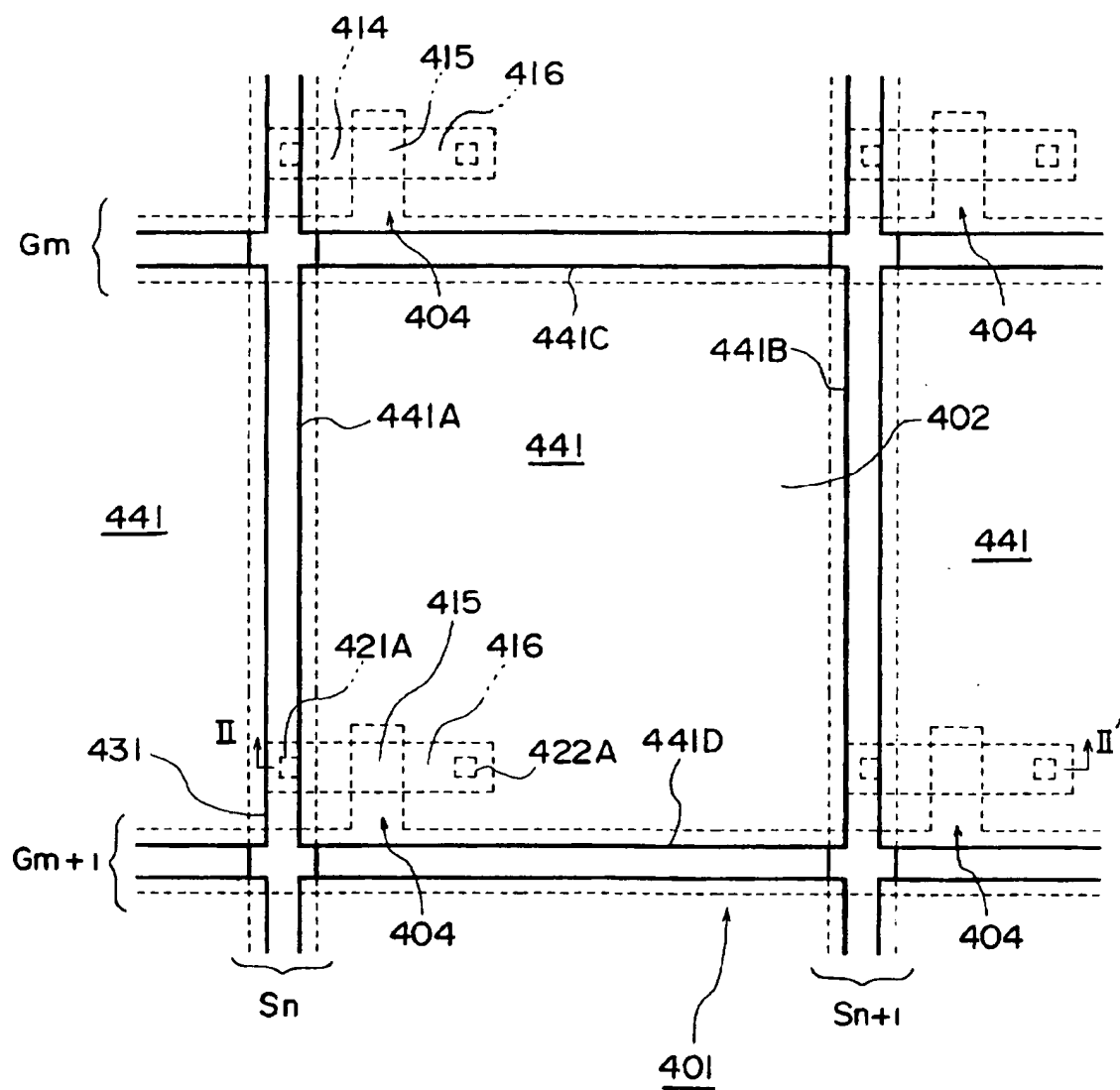
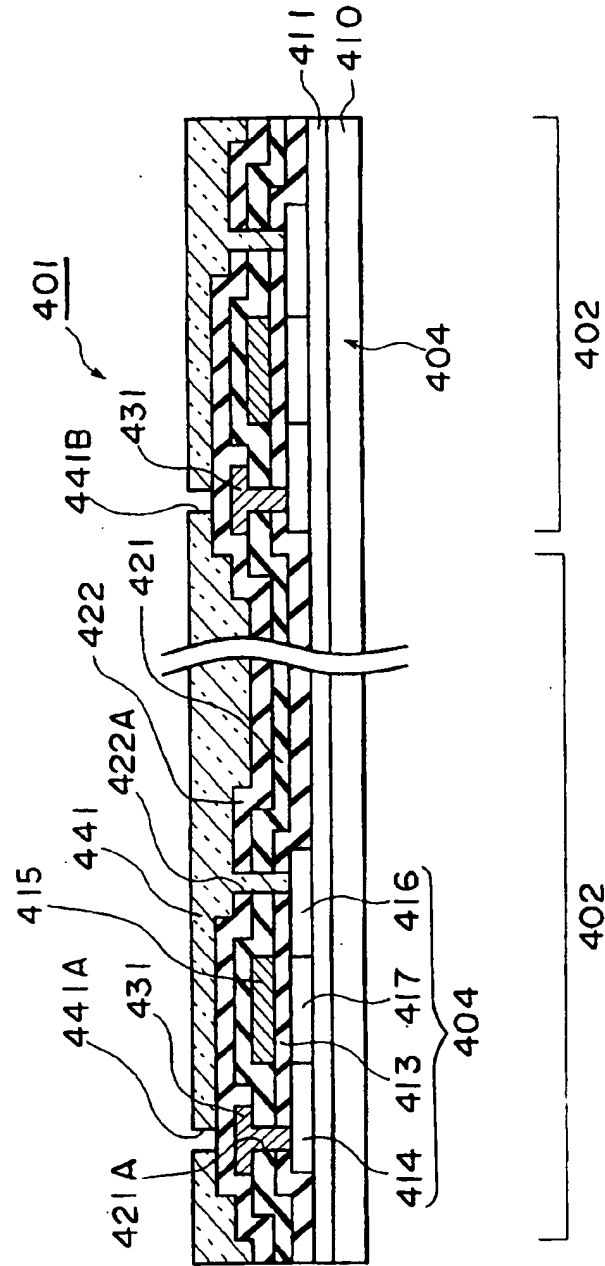
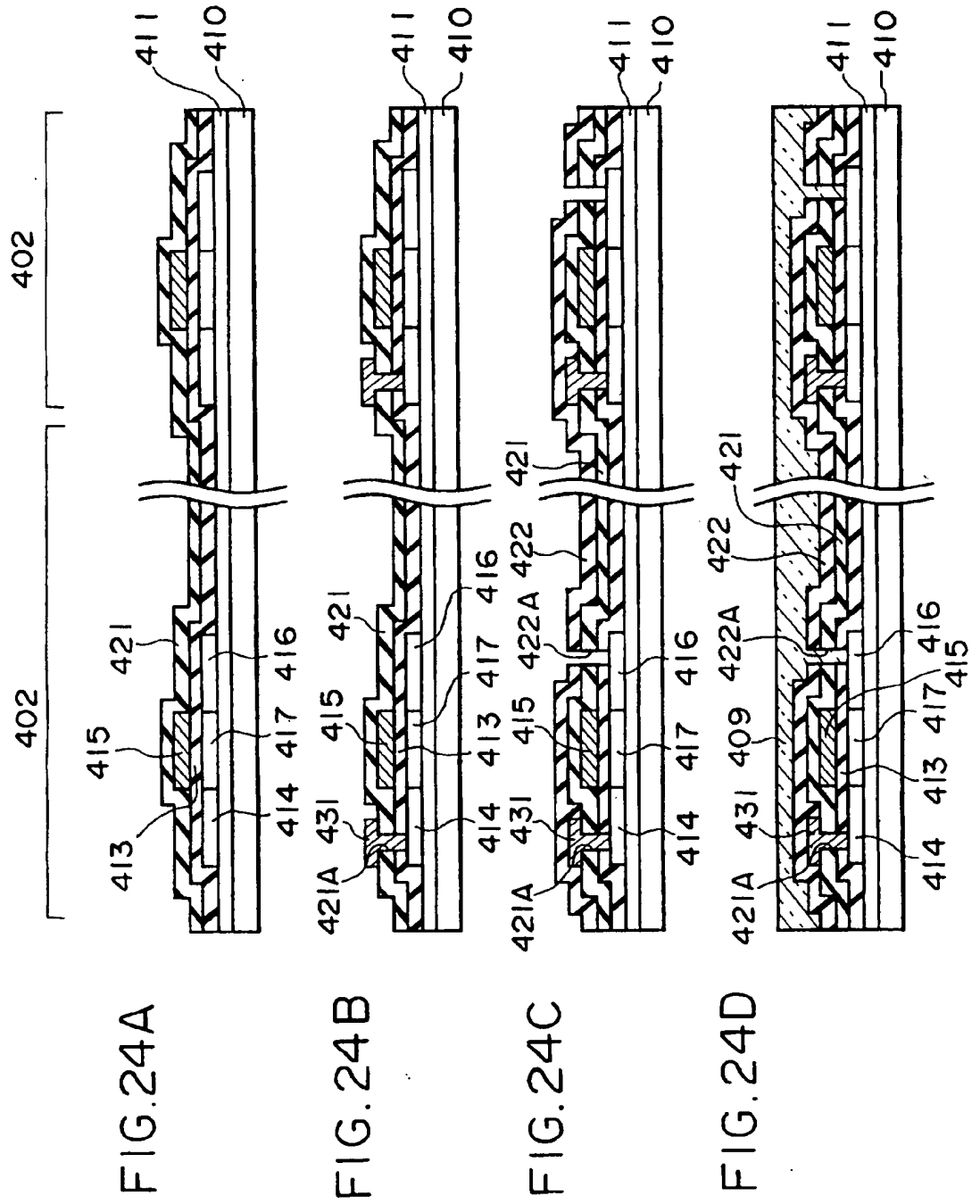


FIG. 23





20/39

FIG. 25A

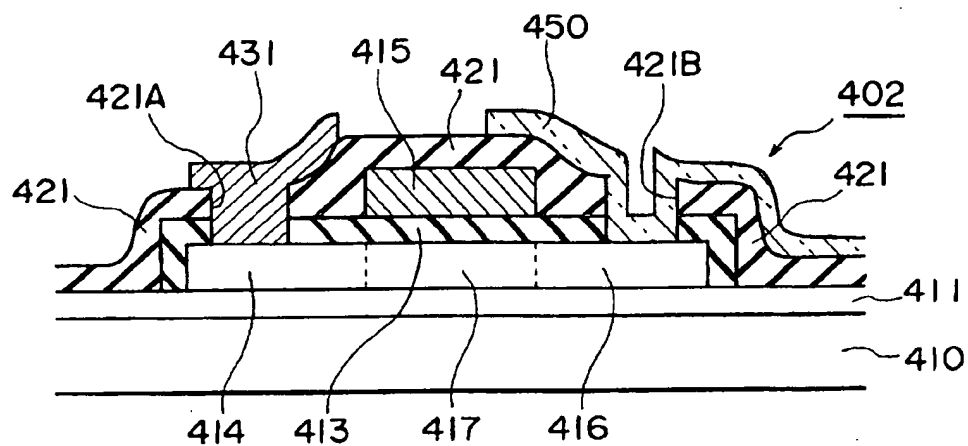


FIG. 25B

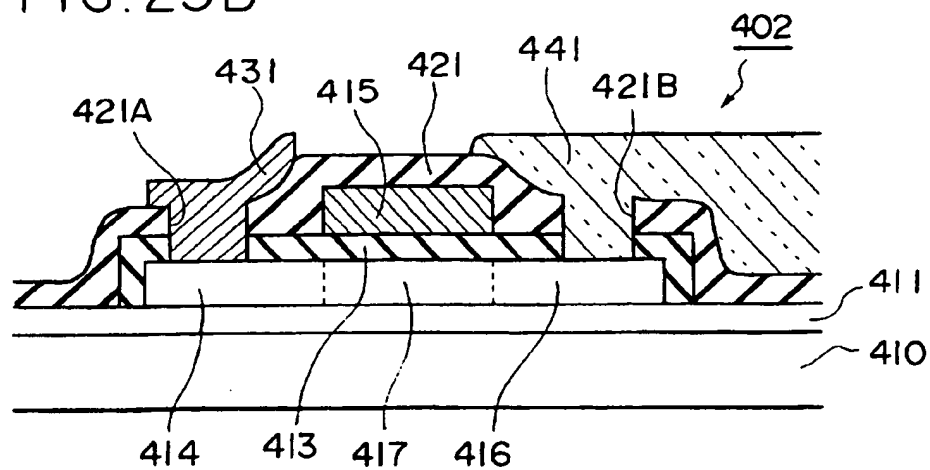


FIG. 26

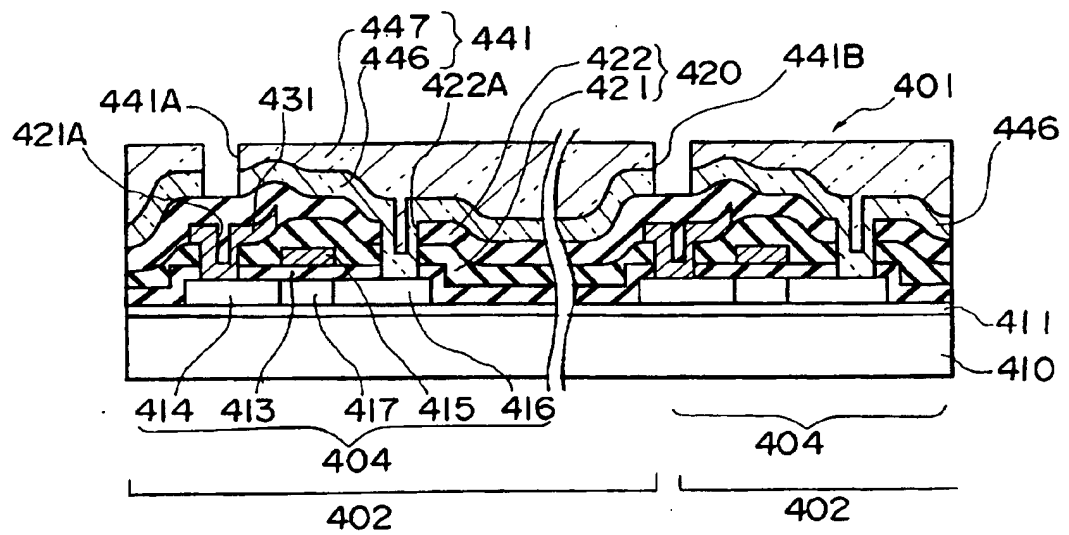


FIG.27A

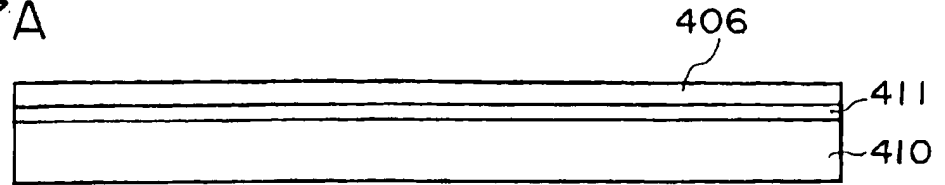


FIG.27B

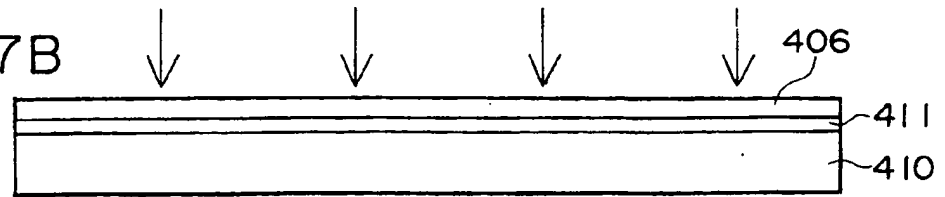


FIG.27C

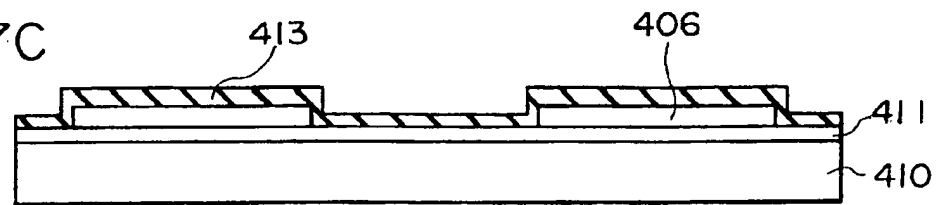


FIG.27D

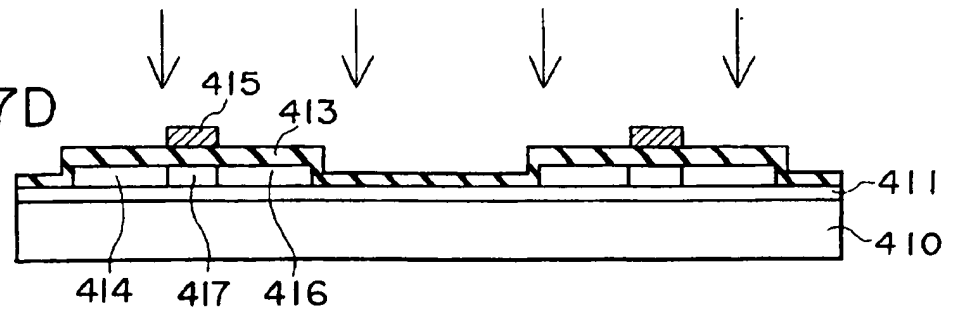
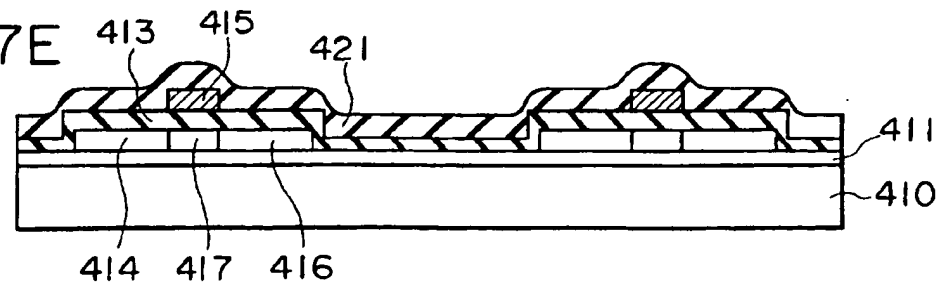


FIG.27E



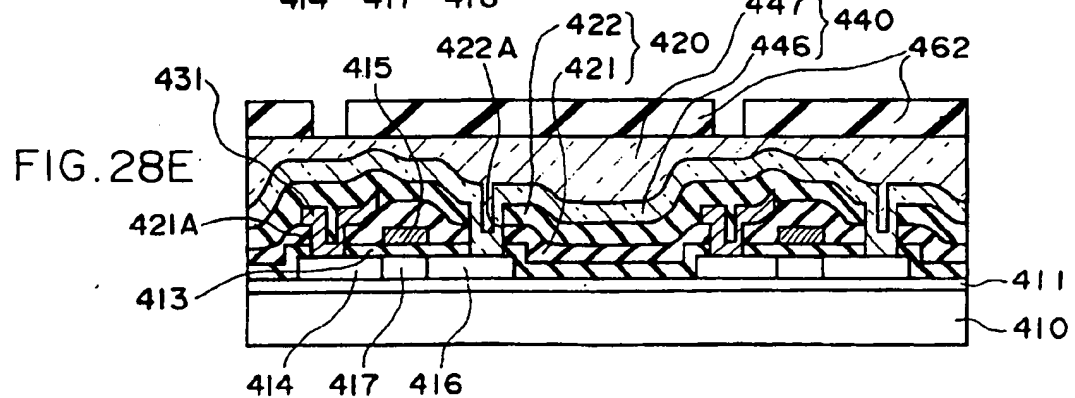
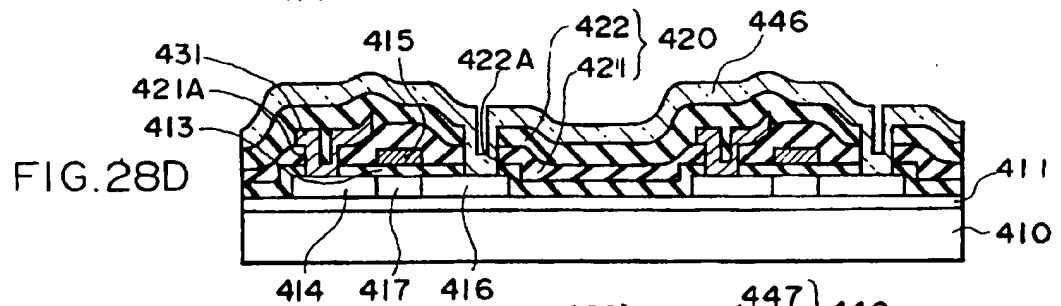
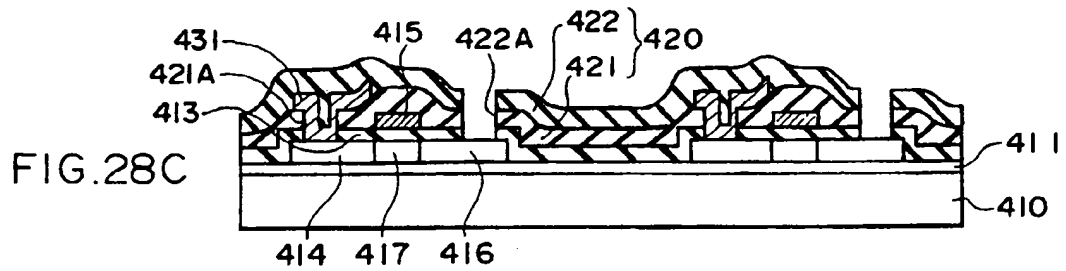
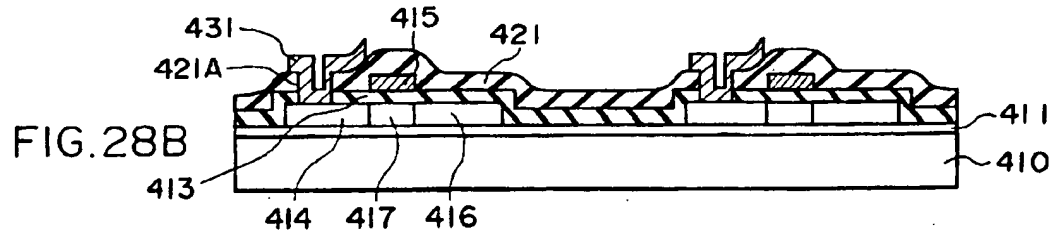
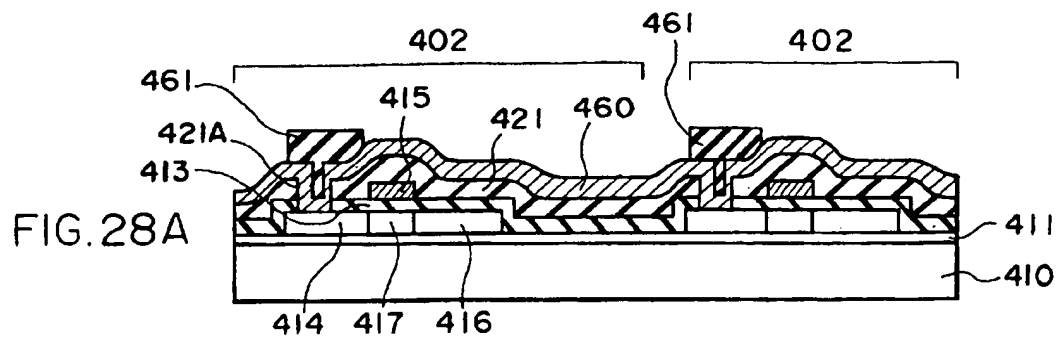


FIG. 29

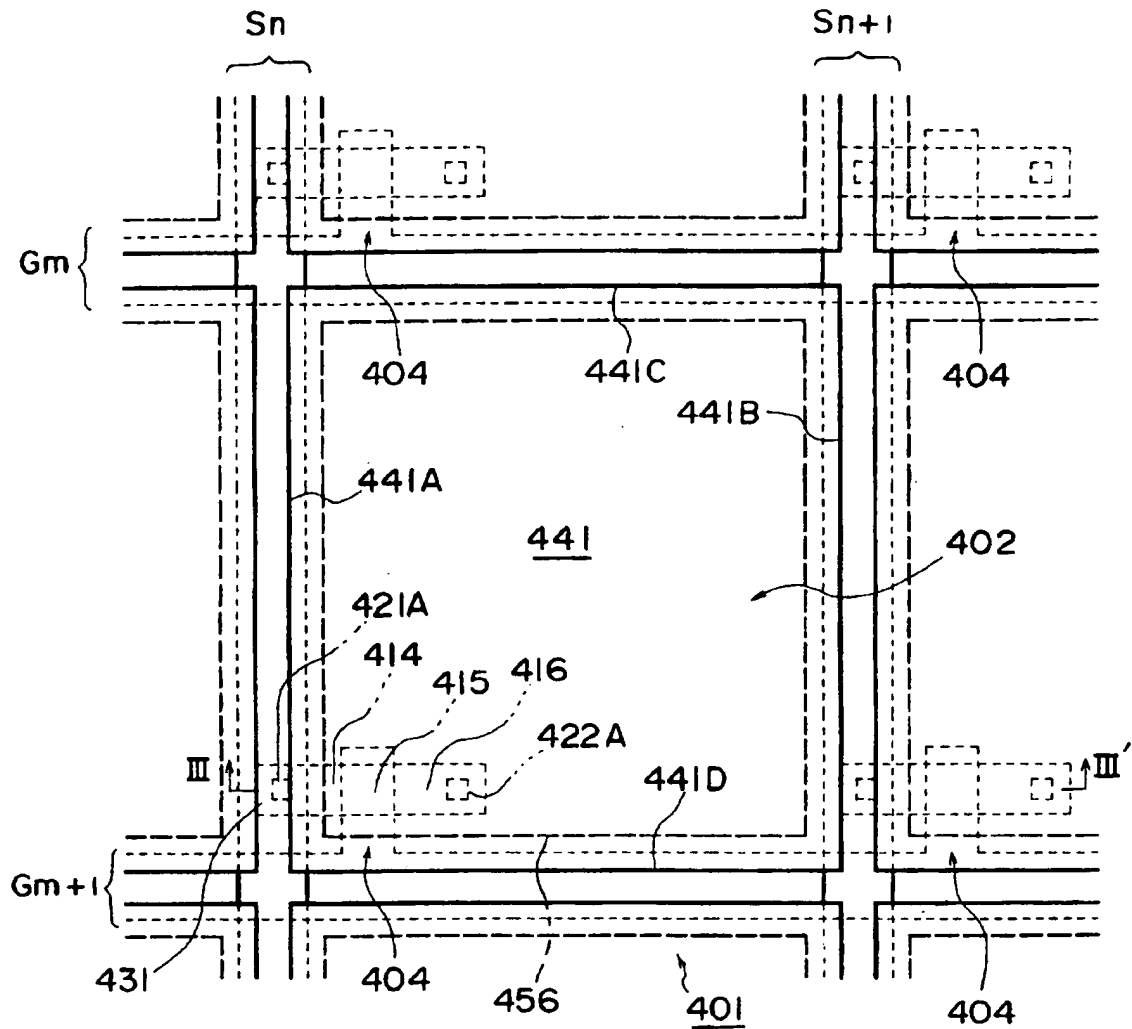
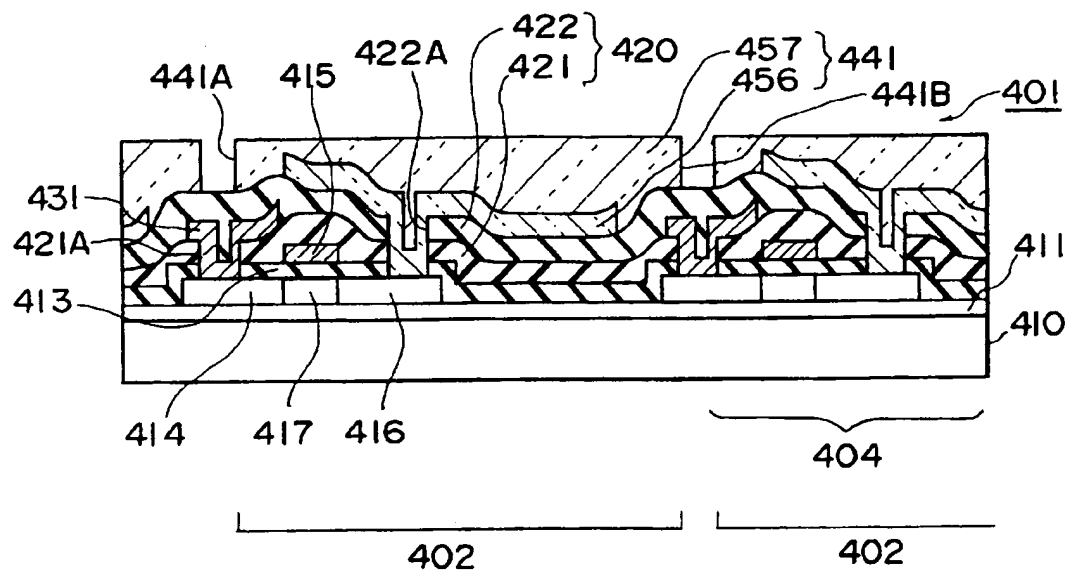


FIG. 30



26/39

FIG.31A

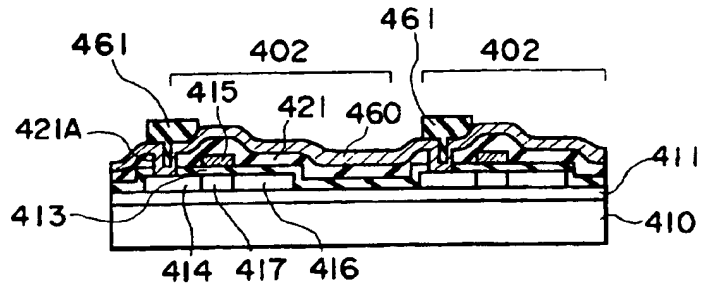


FIG.31B

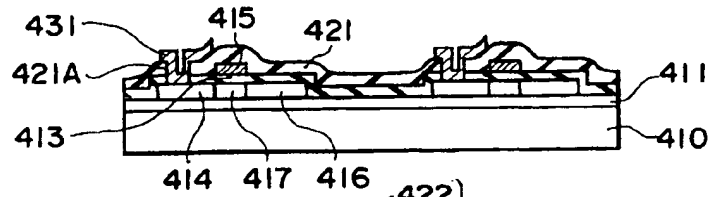


FIG.31C

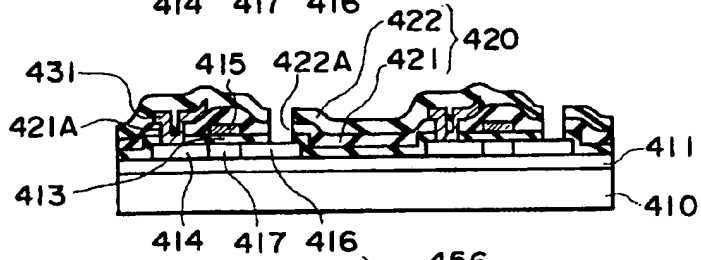


FIG.31D

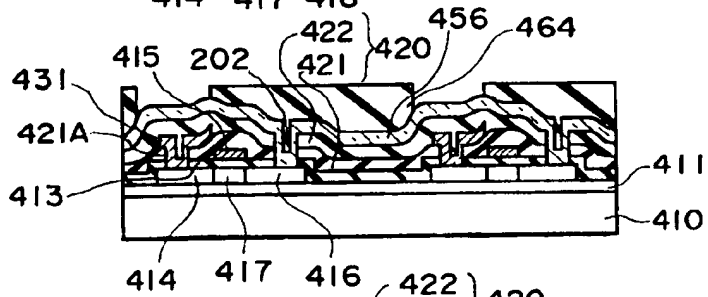


FIG.31E

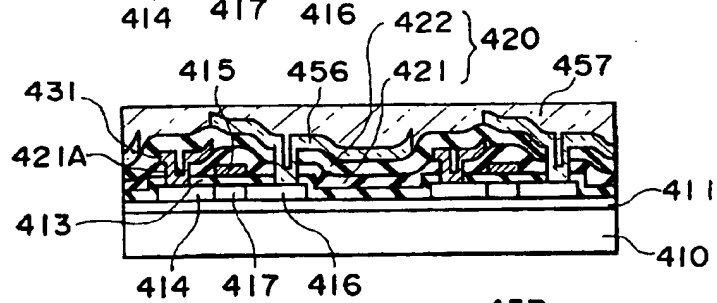


FIG.31F

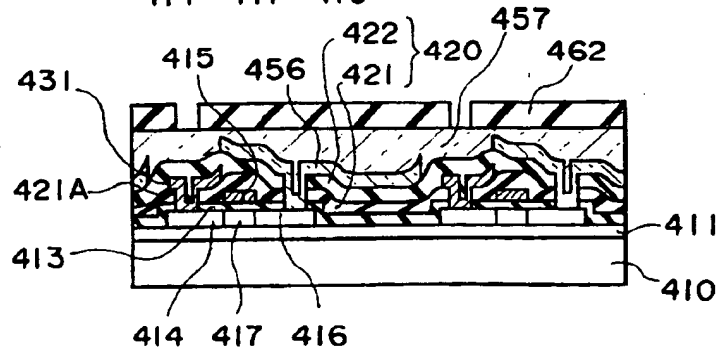


FIG. 32

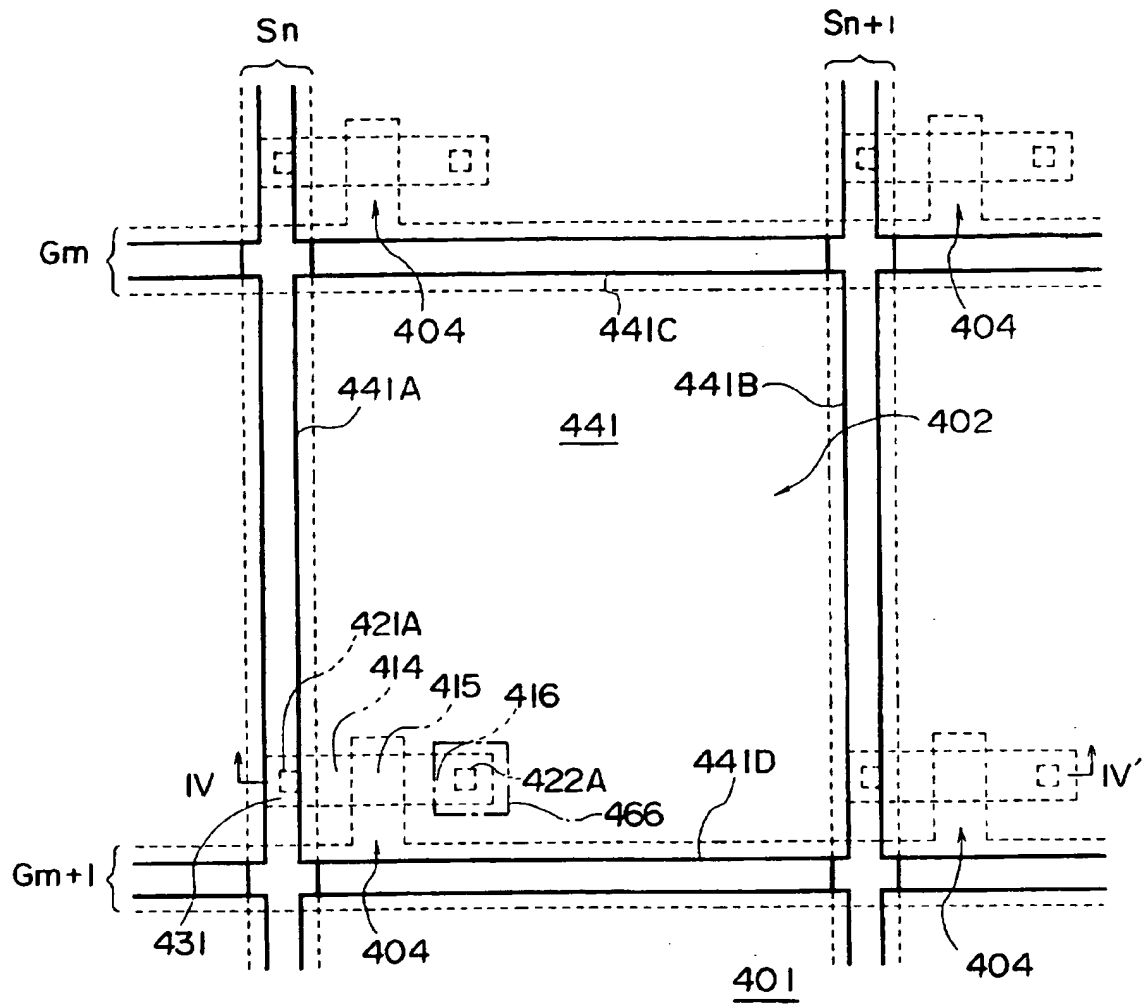
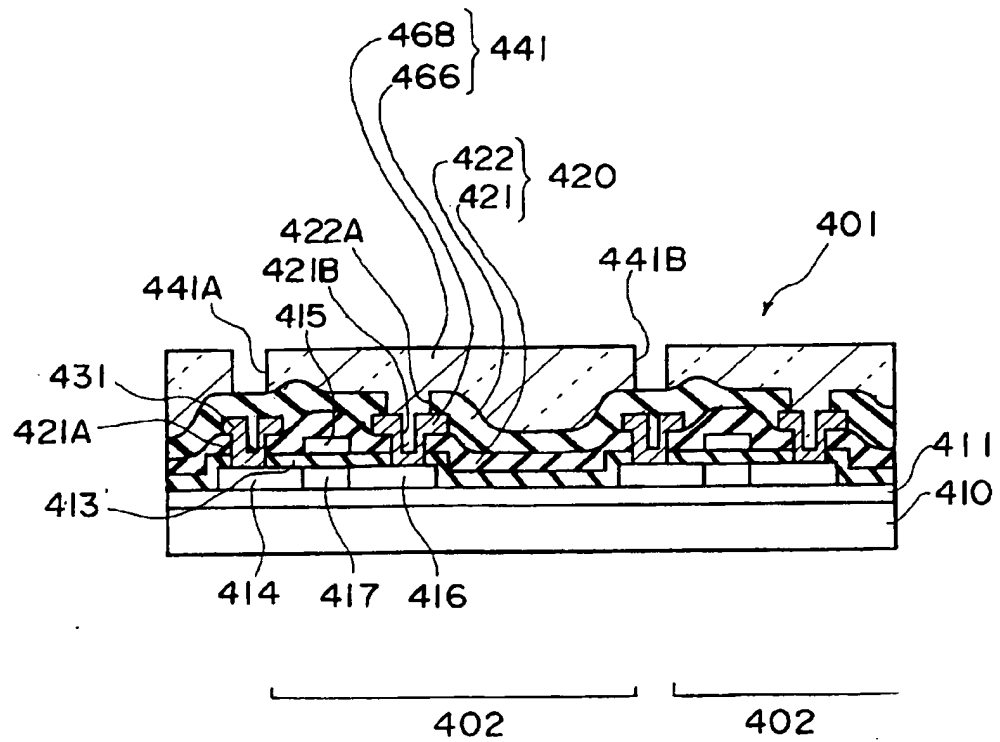


FIG. 33



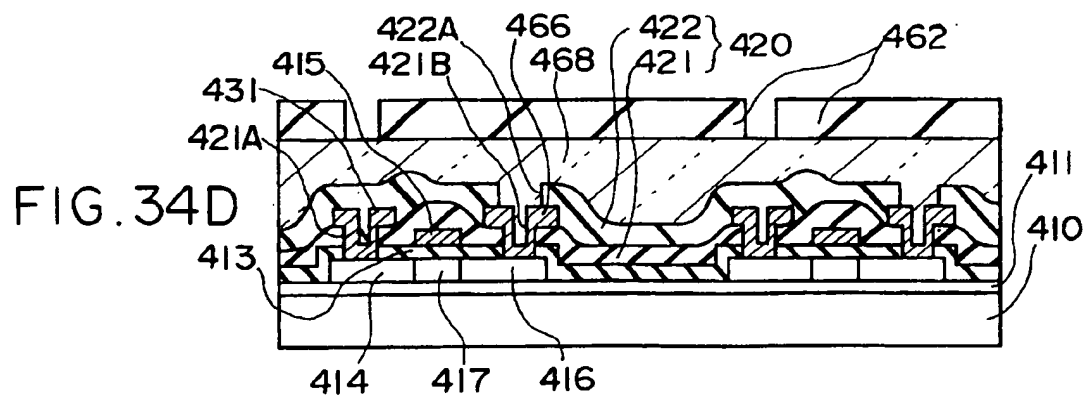
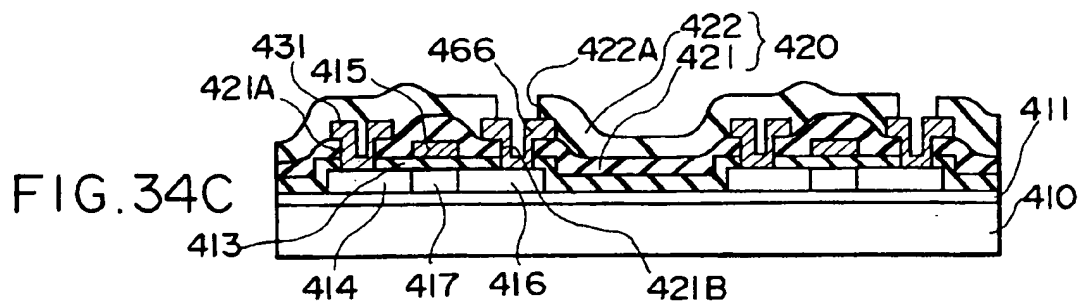
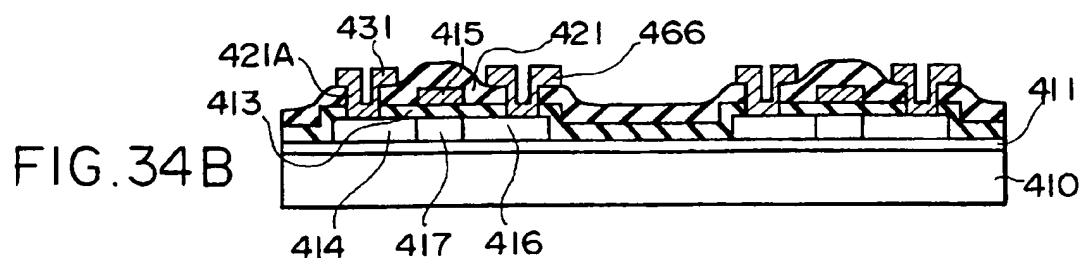
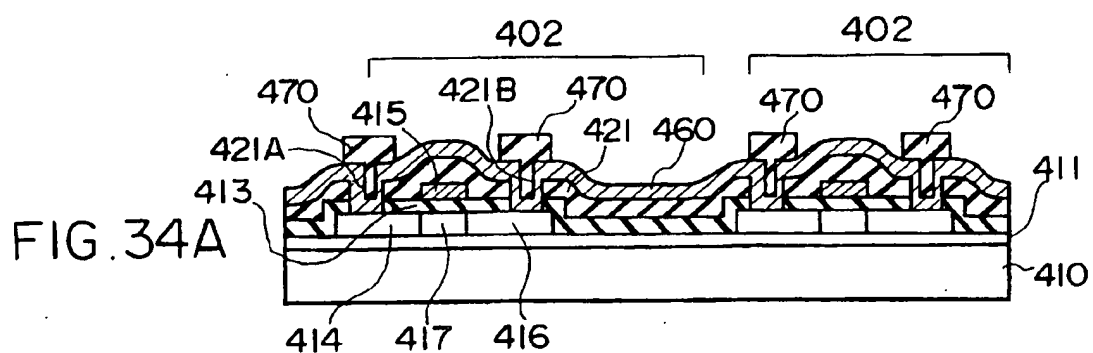


FIG. 35

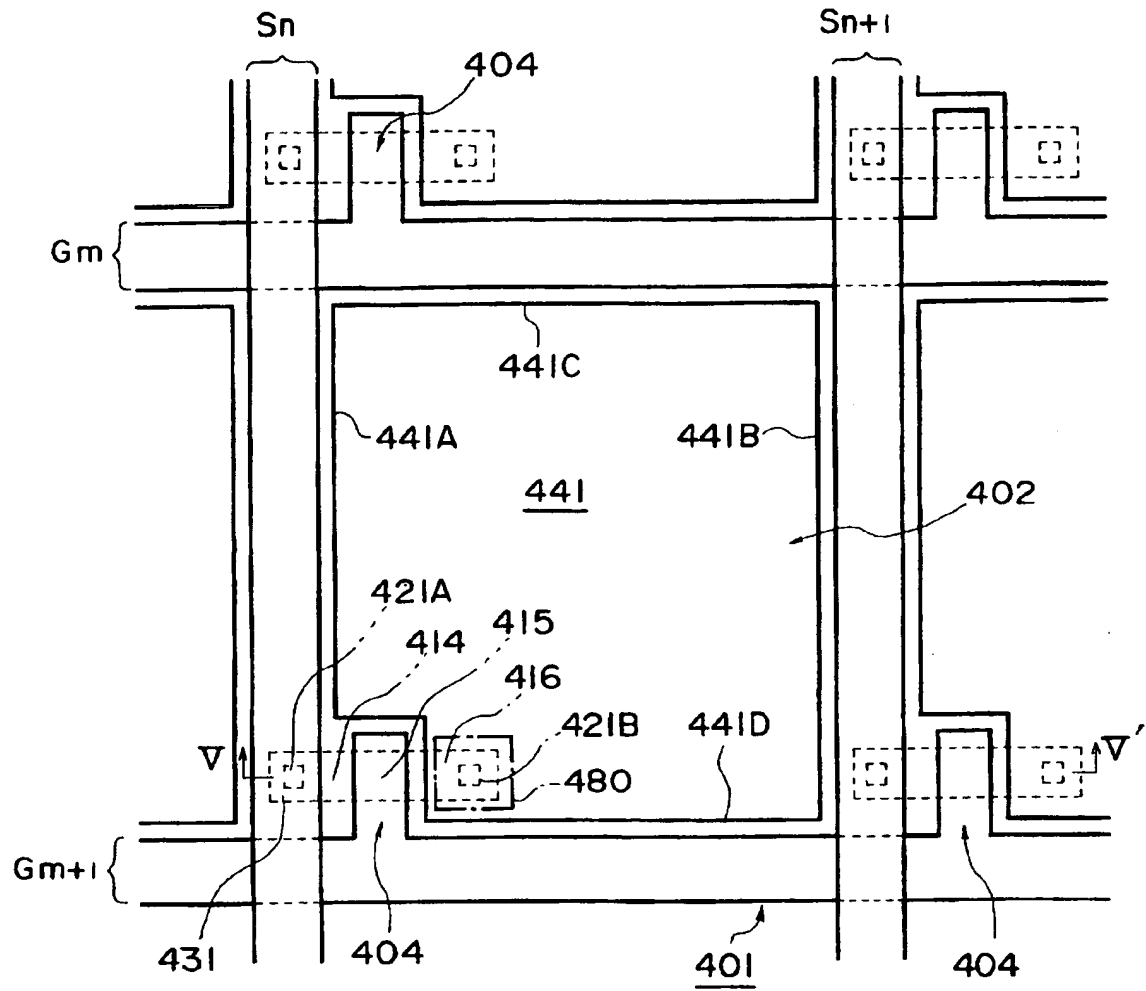
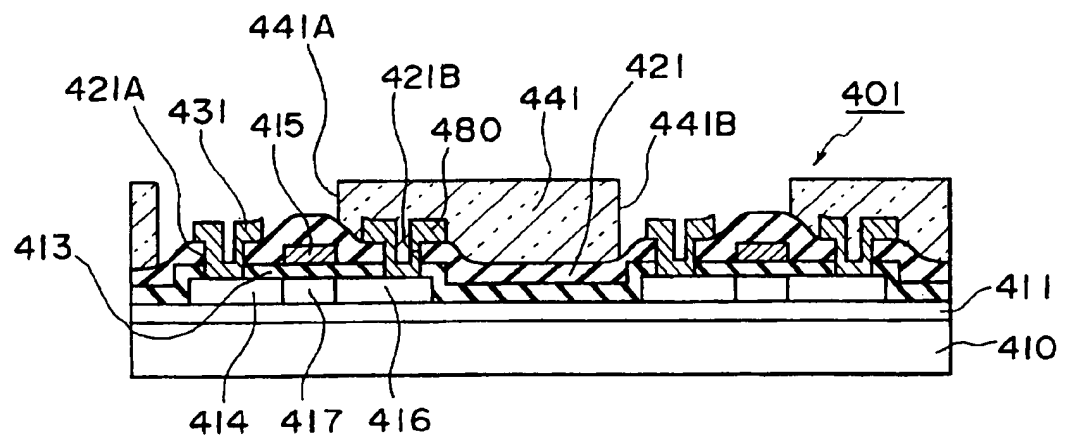


FIG. 36



32/39

FIG. 37A

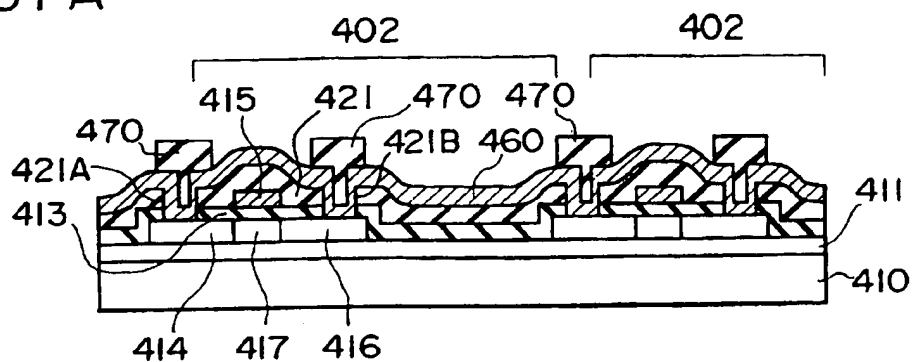


FIG. 37B

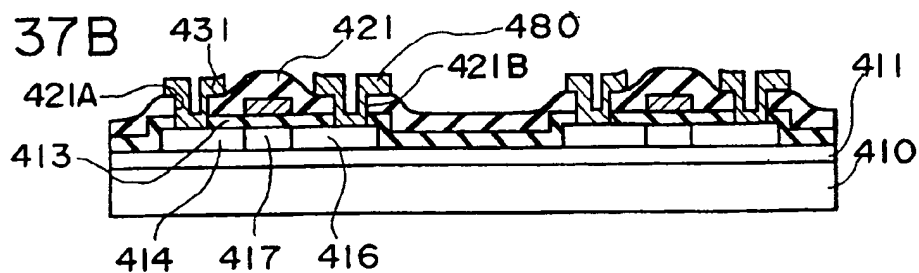
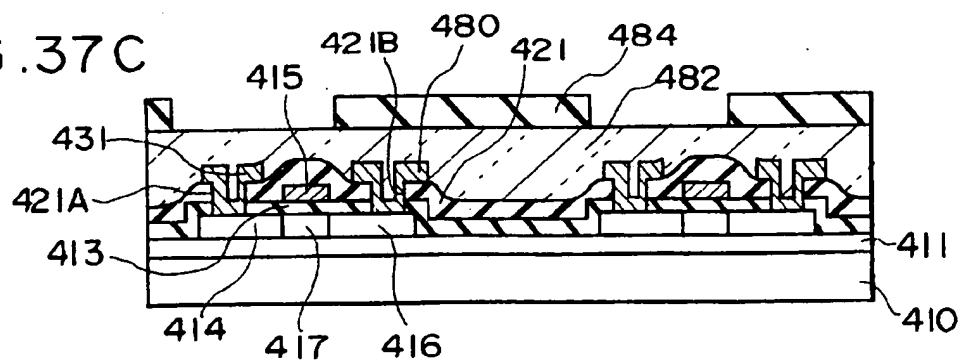


FIG. 37C



34/39

FIG. 39A

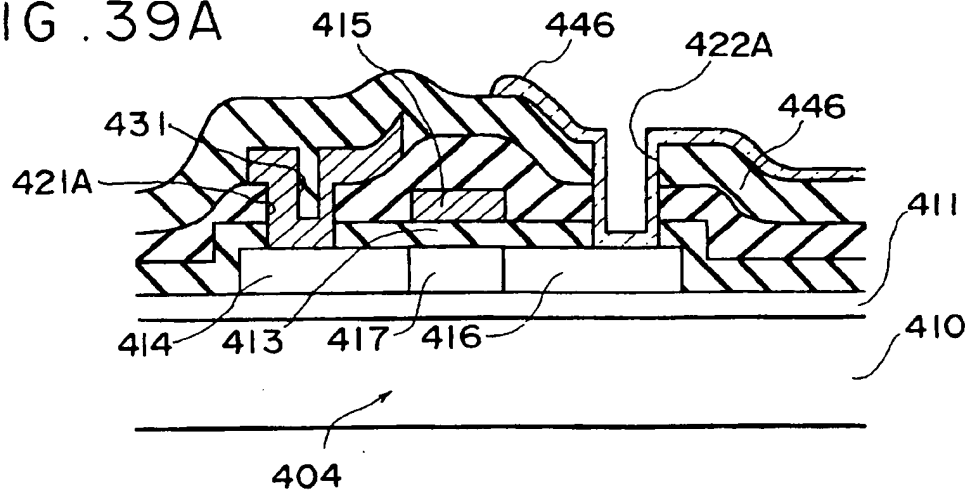
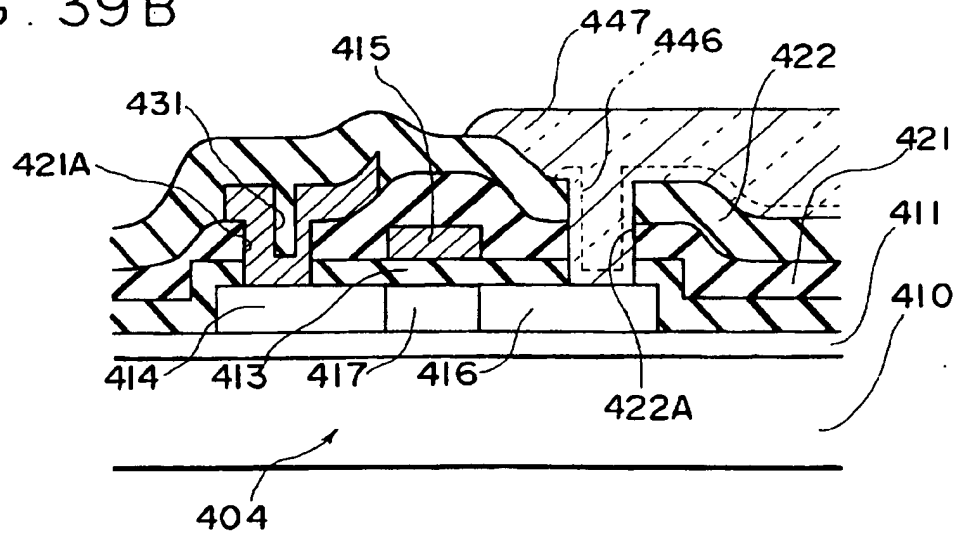
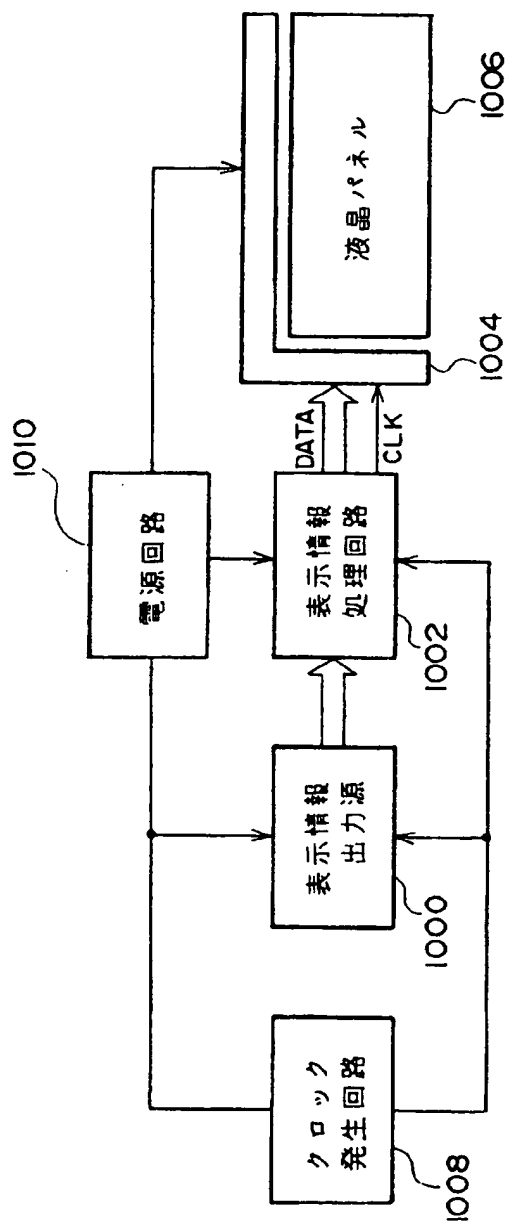


FIG. 39B



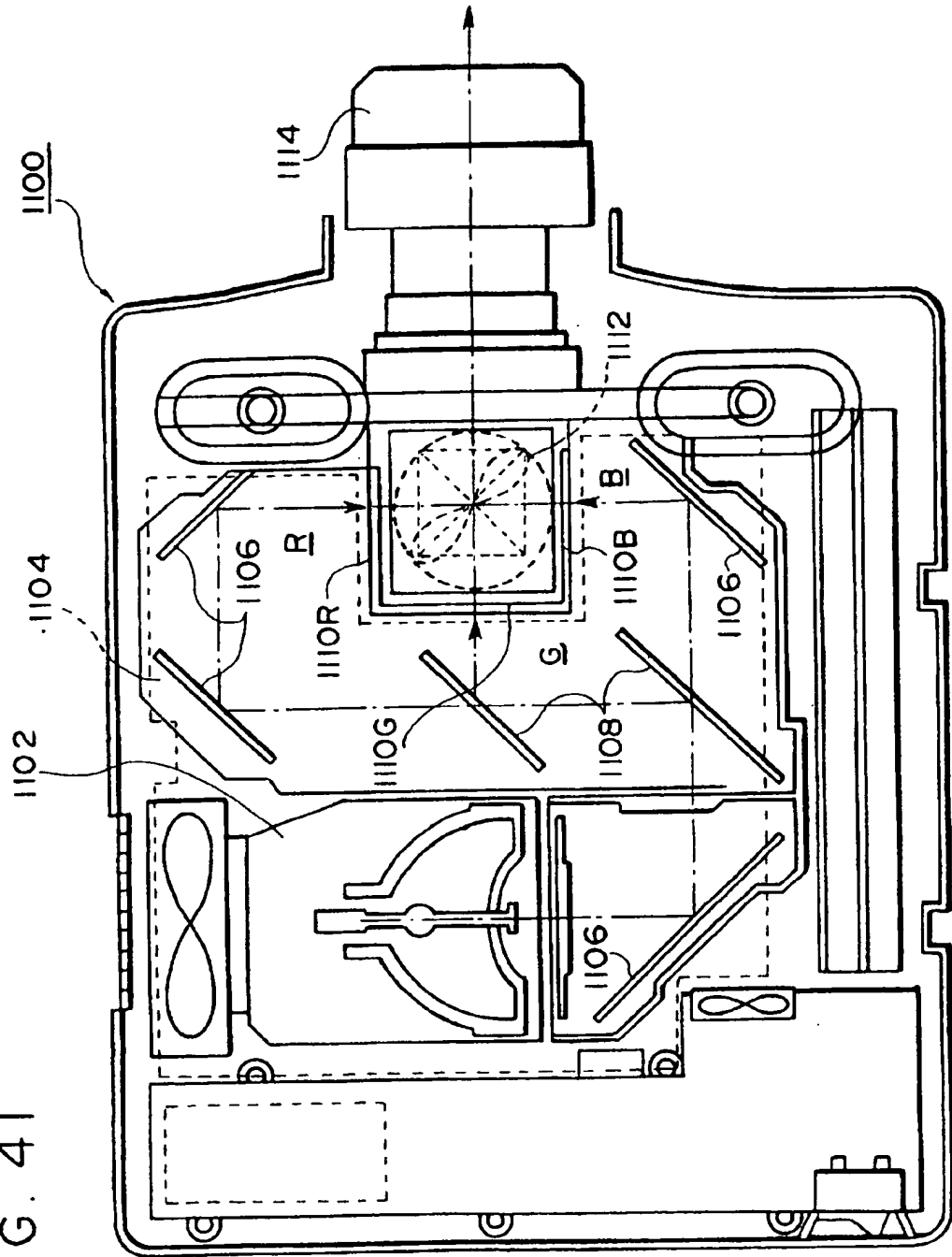
35 / 39

FIG. 40



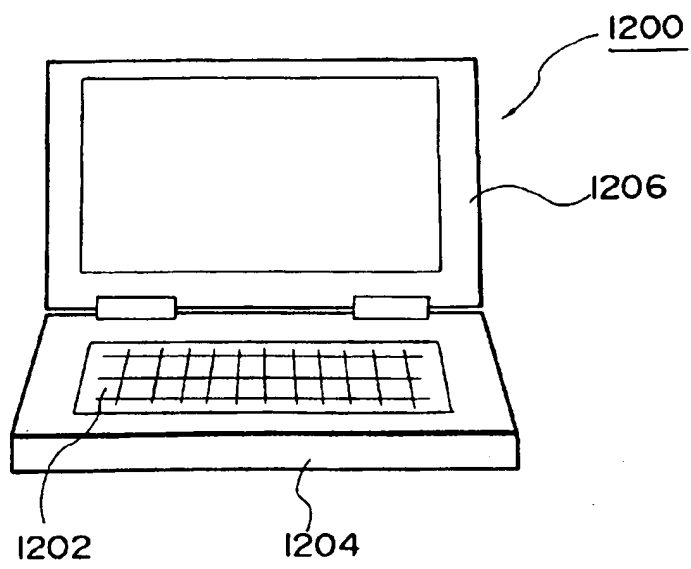
36/ 39

FIG. 41



37/39

FIG. 42



38/39

FIG. 43

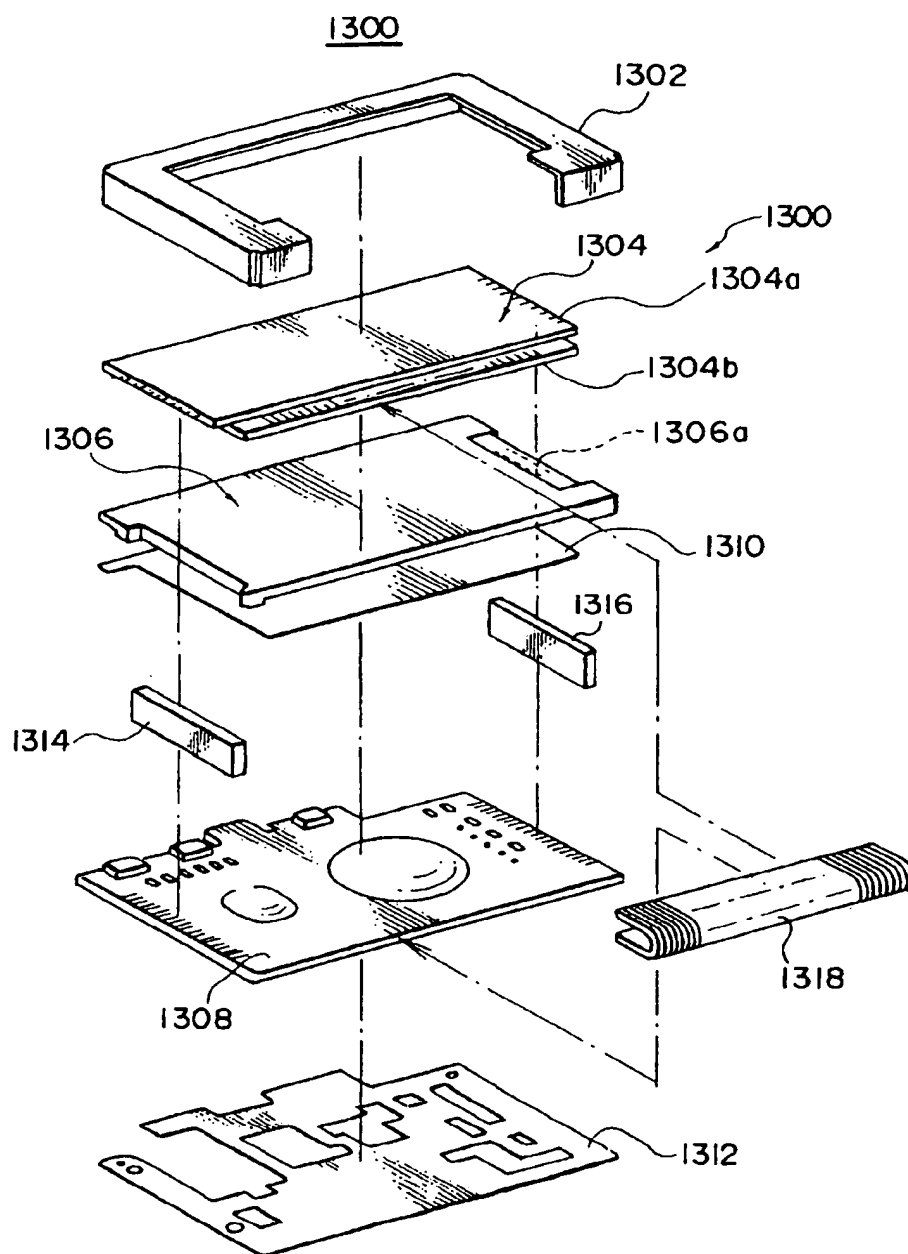
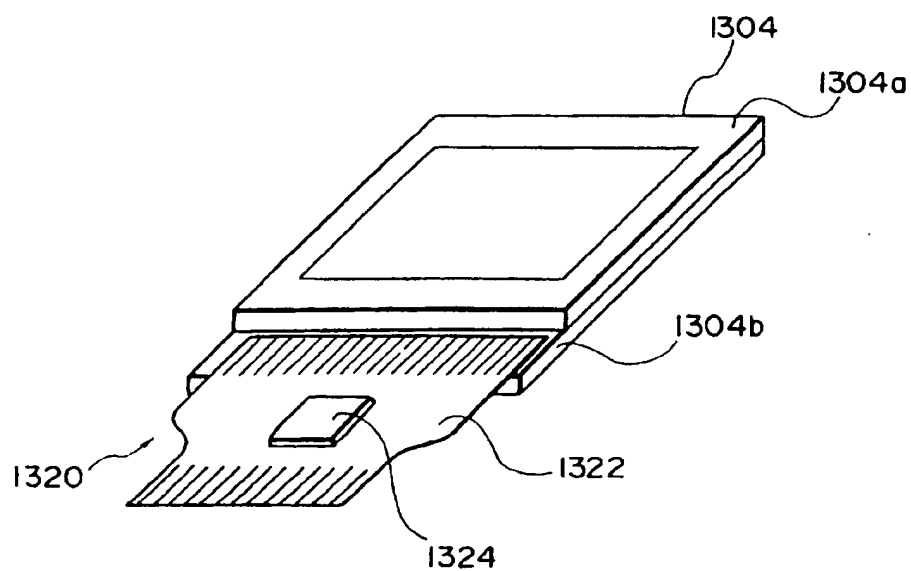


FIG. 44



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/01618

A. CLASSIFICATION OF SUBJECT MATTER Int. Cl ⁶ G02F1/136, G02F1/1343, H01L29/786, B05C5/00, G02F1/1333, C01G19/00 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int. Cl ⁶ G02F1/136, G02F1/1343, H01L29/786, B05C5/00, G02F1/1333, C01G19/00 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1972 - 1997 Jitsuyo Shinan Kokai Koho 1972 - 1995 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 6-281958, A (Sony Corp.), October 7, 1994 (07. 10. 94) (Family: none)	1-3, 5, 6, 14, 16, 18-23, 25-28, 31, 33-35, 43
Y		4, 7-9, 15, 17, 24, 29, 44, 45
A		30, 32, 46-54, 56, 57
X	JP, 61-78165, A (Sanyo Electric Co., Ltd.), April 21, 1986 (21. 04. 86)	1, 2
Y	& US, 4687352, A	4
X	JP, 3-102324, A (Sanyo Electric Co., Ltd.), April 26, 1991 (26. 04. 91) (Family: none)	1, 2
Y		7 - 9
X	JP, 5-105486, A (Catalysts & Chemicals	1, 10, 11,
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search August 11, 1997 (11. 08. 97)		Date of mailing of the international search report August 19, 1997 (19. 08. 97)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/01618

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Industries Co., Ltd.), April 27, 1993 (27. 04. 93) (Family: none)	35, 36 37, 38, 56, 58, 59
X	JP, 8-32085, A (Showa Denko K.K.), February 2, 1996 (02. 02. 96) (Family: none)	1-3, 5, 12, 13, 19, 20, 33-35
A		39-42, 56
X	JP, 8-1065, A (Dainippon Screen Mfg. Co., Ltd.), January 9, 1996 (09. 01. 96) (Family: none)	53, 54 55
Y	JP, 5-116941, A (Matsushita Electric Industrial Co., Ltd.), May 14, 1993 (14. 05. 93) (Family: none)	56 - 59 15, 44, 45
Y	JP, 4-253033, A (Sanyo Electric Co., Ltd.), September 8, 1992 (08. 09. 92) (Family: none)	17 50
Y	JP, 62-223727, A (Seiko Epson Corp.), October 1, 1987 (01. 10. 87) (Family: none)	24
Y	JP, 6-204168, A (Canon Inc.), July 22, 1994 (22. 07. 94) (Family: none)	29
Y	JP, 7-122475, A (Toshiba Corp.), May 12, 1995 (12. 05. 95) (Family: none)	55
A	JP, 3-126921, A (Sony Corp.), May 30, 1991 (30. 05. 91) (Family: none)	30, 32

A. 発明の属する分野の分類 (国際特許分類 (IPC)) IntCl ⁸ G02F1/136, G02F1/1343, H01L29/786, B05C5/00, G02F1/1333, C01G19/00		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) IntCl ⁸ G02F1/136, G02F1/1343, H01L29/786, B05C5/00, G02F1/1333, C01G19/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報1972-1997 日本国実用新案公開公報1972-1995		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 6-281958, A (ソニー株式会社) 7. 10月, 1994 (07. 10 . 94) (ファミリーなし)	1-3, 5, 6, 14, 16, 18-23, 25-28, 31, 33-35 , 43
Y		4, 7-9, 15 , 17, 24, 29, 44, 45
A		30, 32, 46-54, 56
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」先行文献ではあるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 11. 08. 97		国際調査報告の発送日 19.08.97
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 井口 猶二 2K 9119 電話番号 03-3581-1101 内線 3255

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P, 61-78165, A (三洋電機株式会社) 21. 4月. 1986 (21. 04. 86) & US, 4687352, A	1, 2 4
X Y	J P, 3-102324, A (三洋電機株式会社) 26. 4月. 1991 (26. 04. 91) (ファミリーなし)	1, 2 7-9
X A	J P, 5-105486, A (触媒化成工業株式会社) 27. 4月. 1993 (27. 04. 93) (ファミリーなし)	1, 10, 11 35, 36 37, 38, 56 58, 59
X A	J P, 8-32085, A (昭和電工株式会社) 2. 2月. 1996 (02. 02. 96) (ファミリーなし)	1-3, 5, 12 13, 19, 20, 33-35 39-42, 56
X Y A	J P, 8-1065, A (大日本スクリーン製造株式会社) 9. 1月. 1996 (09. 01. 96) (ファミリーなし)	53, 54 55 56-59
Y	J P, 5-116941, A (松下電器産業株式会社) 14. 5月. 1993 (14. 05. 93) (ファミリーなし)	15, 44, 45
Y A	J P, 4-253033, A (三洋電機株式会社) 8. 9月. 1992 (08. 09. 92) (ファミリーなし)	17 50
Y	J P, 62-223727, A (セイコーエプソン株式会社) 1. 10月. 1987 (01. 10. 87) (ファミリーなし)	24
Y	J P, 6-204168, A (キヤノン株式会社) 22. 7月. 1994 (22. 07. 94) (ファミリーなし)	29
Y	J P, 7-122475, A (株式会社東芝) 12. 5月. 1995 (12. 05. 95) (ファミリーなし)	55
A	J P, 3-126921, A (ソニー株式会社) 30. 5月. 1991 (30. 05. 91) (ファミリーなし)	30, 32